

DOI:10.16356/j.1005-2615.2017.04.012

寄生电感对 SiC MOSFET 开关特性的影响

秦海鸿¹ 朱梓悦¹ 戴卫力² 徐克峰¹ 付大丰¹ 王丹¹

(1. 南京航空航天大学多电飞机电气系统工业和信息化部重点实验室, 南京, 211106;

2. 河海大学江苏省输配电装备技术重点实验室, 常州, 213022)

摘要:随着开关频率的增大,寄生电感对碳化硅(SiC)器件动态开关过程的影响程度也越来越大,无法充分发挥其高速开关下低开关损耗的性能优势。本文采用理论定性分析与实验定量研究相结合的方法,考虑相关寄生电感,对 SiC MOSFET 基本开关电路建立数学模型,确立影响开关特性的主要因素,然后通过 SiC 器件高速电路双脉冲测试平台,对各部分寄生电感对 SiC 器件开关性能的影响进行系统研究,揭示寄生电感对 SiC MOSFET 开关特性的影响规律。在此基础上,根据 SiC 高速开关电路实际布局的限制,在布局紧凑程度或回路走线总长度相对不变的情况下,对各部分寄生电感的匹配关系进行研究,归纳出 SiC 器件开关过程受寄生参数影响的特性规律,从而指导 SiC 基高速开关电路的优化布局设计。

关键词:电力电子;碳化硅;寄生电感;匹配关系;布局设计

中图分类号:TM315 **文献标志码:**A **文章编号:**1005-2615(2017)04-0531-09

Influence of Parasitic Inductance on Switching Characteristics of SiC MOSFET

QIN Haihong¹, ZHU Ziyue¹, DAI Weili², XU Kefeng¹, FU Dafeng¹, WANG Dan¹

(1. Center for More Electric Aircraft Power System, Nanjing University of
Aeronautics & Astronautics, Nanjing, 211106, China;

2. Jiangsu Key Laboratory of Power Transmission and Distribution Equipment Technology,
Hohai University, Changzhou, 213022, China)

Abstract: Parasitic inductance has larger influence on Silicon Carbide devices with the increase of switching frequency. This limits full utilization of performance advantages of low switching losses in high frequency applications. By combining theoretical analysis with experimental parametric study, a mathematic model considering parasitic inductance is developed for the basic switching circuit of SiC MOSFET. Main factors which affect the switching characteristics are explored. Moreover, a fast-switching double-pulse test platform is built to measure individual influence of each parasitic inductance on switching characteristics and guidelines are revealed through experimental results. Due to limits of practical layout in high-speed switching circuits of SiC devices, the matching relations are developed and an optimized layout design method of parasitic inductance is proposed under a constant length of the switching loop. The design criteria are concluded based on the impact of parasitic inductance, which provide guidelines for layout design considerations for SiC-based high-speed switching circuits.

Key words: power electronics; Silicon Carbide; parasitic inductance; matching relations; optimized layout design

基金项目:国家自然科学基金(51677089)资助项目;中央高校基本科研业务费专项资金(NS2015039, NS20160047)资助项目;江苏省普通高校研究生科研创新计划(SJLX16_0107)资助项目。

收稿日期:2016-11-03; **修订日期:**2017-01-10

通信作者:秦海鸿,男,副教授, E-mail: qinhaihong@nuaa.edu.cn。

引用格式:秦海鸿,朱梓悦,戴卫力,等. 寄生电感对 SiC MOSFET 开关特性的影响[J]. 南京航空航天大学学报, 2017, 49(4):531-539. QIN Haihong, ZHU Ziyue, DAI Weili, et al. Influence of parasitic inductance on switching characteristics of SiC MOSFET[J]. Journal of Nanjing University of Aeronautics & Astronautics, 2017, 49(4):531-539.

与 Si 基电力电子器件相比, SiC 基电力电子器件具有更优良的器件特性, 可望大幅提高电力电子变换器的性能。高开关频率是 SiC 器件应用研究的重要方向之一^[1-2], 随着开关频率的增大, 寄生电感对器件动态开关过程的影响程度也越来越大, 导致开关波形产生严重振荡, 增大器件应力和电磁干扰 (Electromagnetic interference, EMI), 无法充分发挥 SiC 器件在高速开关下低开关损耗的性能优势^[3-5]。

近些年, 国内外诸多学者针对电路寄生电感对 SiC 器件开关特性的影响进行了研究, 归纳其研究方法主要分为以下 3 种: (1) 将寄生电感当作一个感性网络, 提取电路或功率模块的寄生电感, 通过建模和仿真探究寄生电感的影响, 但没有对各部分寄生电感的影响分别进行研究, 没有明确各部分寄生电感对 SiC 器件开关特性的影响程度^[6-7]; (2) 对各部分寄生电感的影响进行理论分析, 但开关器件的非线性和实际电路存在的寄生参数, 导致模型阶数较高, 为便于分析, 通常都需要进行一些近似和假设, 且其理论推导结果通常较为复杂, 并不能直接从表达式中得出寄生电感的影响规律, 缺少实验的验证, 对实际电路设计的指导意义有限^[8]; (3) 采用实验方法, 对各部分寄生电感对开关特性的影响进行了测试分析, 但其设定的寄生电感值并未考虑实际布局的限制, 得出的是各部分寄生电感大小影响的单一关系, 所得结果仍不足以支撑 SiC 器件开关电路的合理布局^[9-17]。

考虑到 SiC 器件建模的准确程度受电路寄生参数影响, 理论分析较难得出逼近真实的研究结果, 本文采用理论定性分析与实验定量研究相结合的方法, 先建立了考虑寄生电感的 SiC MOSFET 基本开关电路的数学模型, 确立了影响开关特性的主要因素, 然后建立 SiC 器件高速开关电路双脉冲测试平台, 对各部分寄生电感对 SiC 器件开关性能的影响进行系统研究。首先, 基于电流回路的概念, 将各部分寄生电感归为以下 3 类: 主开关回路寄生电感 L_D , 栅极回路寄生电感 L_G 和共源极寄生电感 L_S 。结合实际电路布局, 考虑 3 种寄生电感的取值范围, 从开关时间、振荡和尖峰等方面揭示寄生电感对 SiC MOSFET 开关特性的影响规律, 量化其影响程度。在此基础之上, 根据 SiC 高速开关电路实际布局的限制, 在布局紧凑程度或回路走线总长度相对不变的情况下, 对各部分寄生电感的匹配关系进行研究, 对比不同寄生参数组合下 SiC 器件开关速度、开关能量和电压电流应力的变化,

归纳得出 SiC 器件开关过程受寄生参数影响的特性规律, 从而指导 SiC 基高速开关电路的布局设计。

1 SiC MOSFET 开关特性建模与分析

考虑寄生电感的 SiC MOSFET 双脉冲测试电路原理图如图 1 所示, Q 为 SiC MOSFET 开关管, C_{GS} , C_{GD} 和 C_{DS} 分别为栅源极、栅漏极和漏源极间寄生电容, L_G 为栅极驱动电路到栅极引脚之间的寄生电感, L_S 为源极引脚到栅极驱动电路之间存在的寄生电感, 主开关回路中存在的寄生电感包括 MOSFET 漏极引脚分布电感 L_{d1} 、二极管寄生电感 L_{s1} 、PCB 走线寄生电感 L_{d2} 和 L_{s2} , R_1 和 R_G 分别为开关管内部栅极寄生电阻和外部驱动电阻, D_1 为续流二极管, L_L 为负载电感。为了合理简化电路, 从闭合回路的角度出发, 将双脉冲电路中的寄生电感分别归类到栅极回路和主开关回路^[10], 可以将主开关回路的电感简化, 令漏极寄生电感 $L_D = L_{d1} + L_{d2} + L_{s1} + L_{s2}$, 各部分寄生电感即归为以下 3 大类: 主开关回路漏极寄生电感 L_D 、栅极回路寄生电感 L_G 和共源极寄生电感 L_S 。

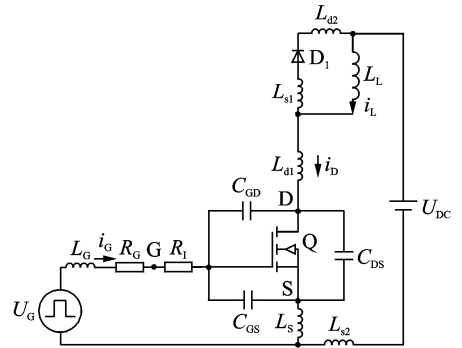


图 1 考虑各部分寄生电感的 SiC MOSFET 双脉冲电路原理图

Fig. 1 Schematic of double-pulse circuit of SiC MOSFET considering each parasitic inductance

栅极回路寄生电感 L_G 引起的感应电压须满足^[9]

$$L_G \cdot \frac{di_G}{dt} < \Delta U_{G(\max)} \quad (1)$$

式中 $\Delta U_{G(\max)}$ 为栅极允许的最大电压振荡尖峰值, 且由于栅极电压尖峰引起的漏极电流尖峰需满足

$$g_{fs} \cdot \Delta U_{G(\max)} < 10\% \cdot I_N \quad (2)$$

式中: g_{fs} 为 SiC MOSFET 的跨导; I_N 为额定电流。则栅极回路寄生电感 L_G 须满足

$$L_G \cdot \frac{di_G}{dt} < \frac{10\% \cdot I_N}{g_{fs}} \quad (3)$$

以定额为 1 200 V/35 A 的 SiC MOSFET 为例, $g_{fs} = 3.7$ S, 当 $di_G/dt = 4$ A/100 ns、额定电流

$I_N = 20 \text{ A}$ 时, $L_G < 13 \text{ nH}$ 。所以在实际设计中,对减小栅极回路寄生电感的要求较高,主功率回路的额定电流越大,需要更大的峰值驱动电流和更高的 di_G/dt ,因此栅极回路的寄生电感就必须更小。也即以驱动电路合理设计而言,必须保证很小的栅极回路寄生参数。在这种情况下,栅极回路寄生电感对功率电路的影响就会很小。因此,为便于分析推导建立数学模型降低阶数,这里暂且忽略栅极寄生电感 L_G ,得到如图 2 所示的简化等效电路。

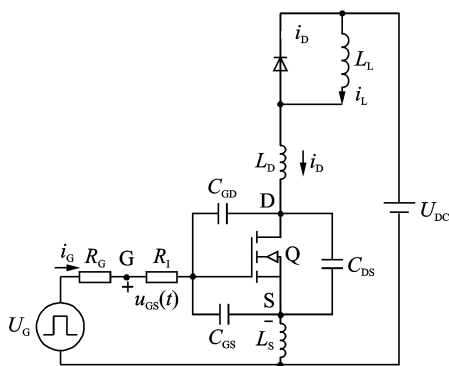


图 2 双脉冲电路简化等效电路

Fig. 2 Simplified equivalent schematic of double-pulse circuit

由于 SiC MOSFET 在开关瞬间工作在饱和区,漏极电流满足

$$i_D(t) = g_{fs}(u_{GS}(t) - U_{TH}) \quad (4)$$

式中: U_{TH} 为 SiC MOSFET 的阈值电压; g_{fs} 为跨导。由于开关瞬间的 di_D/dt 作用于主功率回路的寄生电感 L_S 和 L_D 上产生感应电压,开关管两端承受的电压应力为输入电压 U_{DC} 与此感应电压相叠加,表示为

$$u_{DS}(t) = U_{DC} - (L_D + L_S) \frac{di_D(t)}{dt} \quad (5)$$

开关回路方程同式(5),栅极回路方程为

$$U_G = R_G(C_{GS} \frac{du_{GS}(t)}{dt} + C_{GD} \frac{du_{GD}(t)}{dt}) + u_{GS}(t) + L_S \frac{di_D(t)}{dt} \quad (6)$$

联立式(5,6)得到栅源极电压 $u_{GS}(t)$ 的二阶微分方程为

$$U_G = R_G C_{GD} g_{fs} (L_D + L_S) \frac{du_{GS}^2(t)}{dt^2} + [R_G(C_{GS} + C_{GD}) + L_S g_{fs}] \frac{du_{GS}(t)}{dt} + u_{GS}(t) \quad (7)$$

利用 Laplace 变换,解微分方程得到 $u_{GS}(t)$ 的分段表达式为

$$u_{GS}(t) =$$

$$\begin{cases} U_{GH(1)} - U_{GH(2)} e^{<-t/T_1>} (\cos \omega_1 t + \frac{\sin \omega_1 t}{\omega_1 T_1}) \\ 4y_1 \geq y_2^2 \end{cases} \quad (8)$$

$$\begin{cases} U_{GH(1)} - \frac{U_{GH(2)}}{T_2 - T_3} [T_2 e^{<-t/T_2>} - T_3 e^{<-t/T_3>}] \\ 4y_1 < y_2^2 \end{cases} \quad (9)$$

式中: $y_1 = R_G C_{GD} g_{fs} (L_D + L_S)$; $y_2 = R_G (C_{GS} + C_{GD}) + L_S g_{fs}$; 时间常数 $T_1 = \frac{2y_1}{y_2}$, $T_2 = \frac{2y_1}{y_2 + \sqrt{y_2^2 - 4y_1}}$,

$T_3 = \frac{2y_1}{y_2 - \sqrt{y_2^2 - 4y_1}}$, $\omega_1^2 = \frac{4y_1 - y_2^2}{4y_1^2}$ 。其中方程的

初始条件分别为: 开通瞬间, $U_{GH(1)} = U_{GH+}$, $U_{GH(2)} = U_{GH+} - U_{TH}$; 关断瞬间, $U_{GH(1)} = U_{GH-}$, $U_{GH(2)} = -(I_L/g_{fs} + U_{TH})$, 其中 U_{GH+} 和 U_{GH-} 分别为栅极驱动电路提供的正压和负压。将 $u_{GS}(t)$ 的解代入式(4,5),即可得到漏极电流和漏源极电压的解,但由于栅源极电压的解取决于初始条件和驱动电路参数,理论分析结果较难直观说明各部分寄生电感对开关特性的影响及程度大小。在极限情况下,若 $4y_1 \gg y_2^2$,则栅源极间电压的方程可以简化为

$$u_{GS}(t) \approx U_{GH(1)} - U_{GH(2)} \cos \frac{1}{\sqrt{y_1}} t \quad (10)$$

漏极电流变化率为

$$\frac{di_D(t)}{dt} \approx - \frac{g_{fs} U_{TH} + I_L}{R_G C_{GD} g_{fs} (L_D + L_S)} t \quad (11)$$

关断电压振荡的超调量可以写成

$$\Delta U_{off} \approx \sqrt{\frac{2I_L(U_{TH} + I_L/g_{fs})}{R_G}} \cdot \sqrt{\frac{(L_D + L_S)}{C_{GD}}} \quad (12)$$

若 $4y_1 \ll y_2^2$,则栅源极间电压的方程可以简化为

$$u_{GS}(t) \approx U_{GH(1)} - U_{GH(2)} e^{<-t/y_2>} \quad (13)$$

关断电压振荡的超调量可以写成

$$\Delta U_{off} \approx (U_{TH} + I_L/g_{fs}) \cdot \frac{g_{fs} (L_D + L_S)}{R_G C_{GD} + g_{fs} L_S} \quad (14)$$

由以上推导可知,开关特性主要受到漏极和源极寄生感的影响,随着寄生电感 $(L_D + L_S)$ 的增大,漏极电流变化率减小,关断电压尖峰增大。在 $4y_1 \ll y_2^2$ 的极端情况下,随着源极寄生电感 L_S 的增大, $g_{fs} L_S$ 的影响占主导地位,关断电压尖峰减小,继续增大 L_S , $g_{fs} L_S$ 的主导作用降低,关断电压尖峰几乎不变。

2 各部分寄生电感对开关特性的影响

为了量化分析各部分寄生电感对 SiC MOSFET 开关过程的影响,制作了双脉冲电路测试平

台,图3(a,b)所示分别为其原理图和实物照片。待测 SiC MOSFET 采用 ROHM 公司的 SCH2080KE,其定额为 1 200 V/35 A,续流二极管 D_H 采用型号为 SCS210KG 的 SiC 肖特基势垒二极管(SBD)以减小反向恢复电流的影响,抑制由二极管引起的漏极电流尖峰。SiC MOSFET 开通时,电感的等效并联电容和二极管的结电容产生的充电电流会导致漏极电流产生尖峰,影响测试结果准确性,因此电感采用单匝绕组以减小等效并联电容。功率器件的电压和电流波形通过 Tektronix 公司的高压差分探头(P5201)、高频电流探头(TCP2020)测得。实验测试条件为: $U_{DC}=600\text{ V}$,电感 $L=180\ \mu\text{H}$,SiC MOSFET 驱动电路的正压设定为 18 V,负压设定为 -2.6 V 。两个脉冲总时间 Δt_p 为 $5\ \mu\text{s}$,输入直流电压为 600 V 时的电感电流最大值 $I_{L,max}$ 为 17 A。

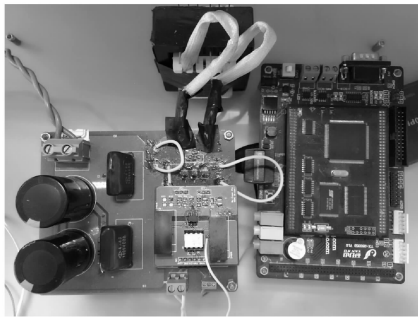
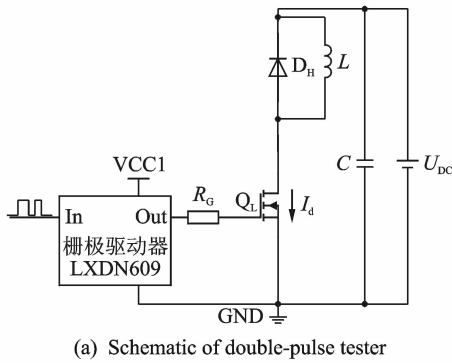


图3 双脉冲测试电路原理图和样机照片

Fig.3 Schematic of double-pulse tester and experimental platform

2.1 栅极寄生电感 L_G 的影响

为便于分析电路走线引入的寄生电感对开关特性的影响,制作了小电感来模拟走线寄生电感,4种小电感的测试值分别为 25,50,79 和 95 nH。在栅极引脚与驱动电路之间接入这些小电感模拟栅极寄生电感,图4给出不同栅极寄生电感 L_G 下,栅源极电压 u_{GS} 、漏源极电压 u_{DS} 和漏极电流 i_D 的波形。由于栅极寄生电感 L_G 会与 SiC MOSFET 的输入电容 $C_{ISS}(=C_{GS}+C_{GD})$ 谐振(阻尼系数为

$\zeta=\frac{R_G}{2\sqrt{C_{ISS}L_G}}$),导致栅源极电压 u_{GS} 波形产生振荡。随着 L_G 增大, u_{GS} 振荡幅度越来越大,这一现象在关断波形中尤为明显。但是, L_G 对 u_{DS} 和 i_D 的影响并不明显,当 L_G 从 25 nH 增大到 95 nH 时,开通期间 u_{DS} 和 i_D 的波形几乎没有变化,只是关断波形稍有恶化, u_{DS} 的超调电压仅从 630 V 增大到 650 V。由此可知, L_G 对栅极回路的影响较大,对 MOSFET 开关波形的直接影响较小,减小 L_G 主要是为了避免开关器件产生较大的栅源极电压尖峰或关断时发生误导通而引起电路故障。由于实际驱动电路的设计已保证了栅极寄生电感必须很小,因此其对功率回路的影响较小,这也进一步说明了图2中忽略 L_G 进行理论推导的实际可行性。

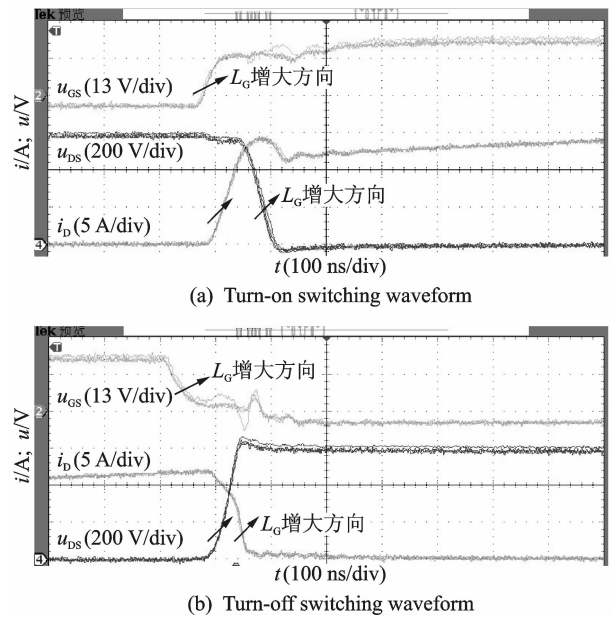


图4 不同 L_G 下的 u_{GS} 、 u_{DS} 和 i_D 开关波形

Fig.4 Switching waveforms of u_{GS} , u_{DS} and i_D under different L_G

2.2 漏极寄生电感 L_D 的影响

在高速开关状态下,漏极电流变化率 di_D/dt 很大,在漏极寄生电感上引起感应电动势,开通时感应电动势的方向与母线电压方向相反,使得漏源极电压降低了 $U_{LD}=L_D \cdot di_D/dt$ 。而关断瞬态感应电动势的方向与母线电压相同,叠加在开关管漏源极电压上产生漏极电压尖峰;另外,在开关瞬态,主开关回路寄生电感 L_D 与 SiC MOSFET 的输出电容 $C_{OSS}(=C_{GD}+C_{DS})$ 和二极管的结电容、电感的寄生电容谐振,且该振荡会通过 SiC MOSFET 的密勒电容与栅极回路相耦合,从而使 u_{DS} 、 u_{GS} 和 i_D 开关波形均产生振荡。在漏极接入感值分别为 25,50,79 和 95 nH 的小电感模拟漏极寄生电感,

图 5 给出不同 L_D 下,栅源极电压 u_{GS} 、漏源极电压 u_{DS} 和漏极电流 i_D 的开关波形。在开通过程中,随着漏极电感 L_D 的增加,漏极电流 i_D 的振荡幅度加大,而 u_{DS} 受其影响不大;在关断过程中,随着 L_D 的增加, i_D 和 u_{DS} 的振荡都加剧,关断能量也加大。

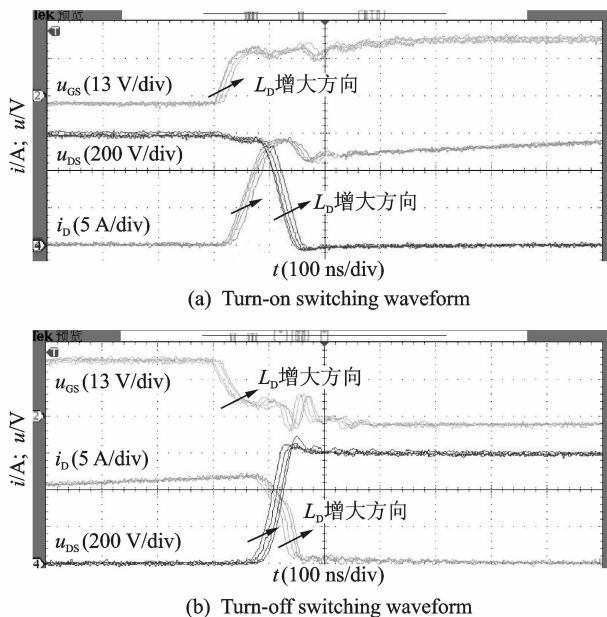


图 5 不同 L_D 下的 u_{GS} 、 u_{DS} 和 i_D 开关波形

Fig. 5 Switching waveforms of u_{GS} , u_{DS} and i_D under different L_D

2.3 源极寄生电感 L_S 的影响

高速开关状态下,源极的电流变化率 di_D/dt 在源极寄生电感 L_S 上引起的感应电动势与驱动电压方向相反,使得开通和关断的驱动电压幅值均降低,减缓了开关过程,在主回路和驱动回路之间起“负反馈”的作用。在源极接入感值分别为 25, 50, 79 和 95 nH 的小电感时,图 6 给出不同 L_S 下, SiC MOSFET 栅源极电压 u_{GS} 、漏源极电压 u_{DS} 和漏极电流 i_D 的波形。由图可见, L_S 对 SiC MOSFET 开关波形延时影响比较明显。开通、关断瞬间, SiC MOSFET 的开关时间均随着 L_S 的增大而延长,电流变化率显著降低,开通电流尖峰和关断电压尖峰随着 L_S 的增大均减小,但 L_S 对漏源极电压变化率几乎没有影响。

2.4 各部分寄生电感影响的量化分析

2.4.1 对开关期间电压、电流超调量的影响

为了比较各部分寄生电感对开关特性的影响程度,图 7 给出开关期间电压、电流超调量与寄生电感的关系曲线。与前述分析一致,改变栅极回路寄生电感 L_G 对 SiC MOSFET 开关波形影响很小,随着 L_G 的增大, u_{DS} 和 i_D 的超调量几乎不变。主开关回路寄生电感 L_D 和 L_S 对 u_{DS} 和 i_D 的超调

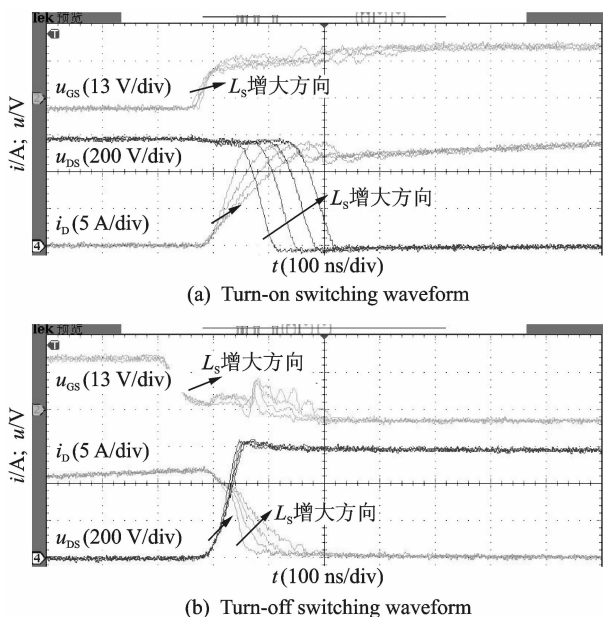


图 6 不同 L_S 下的 u_{GS} 、 u_{DS} 和 i_D 开关波形

Fig. 6 Switching waveforms of u_{GS} , u_{DS} and i_D under different L_S

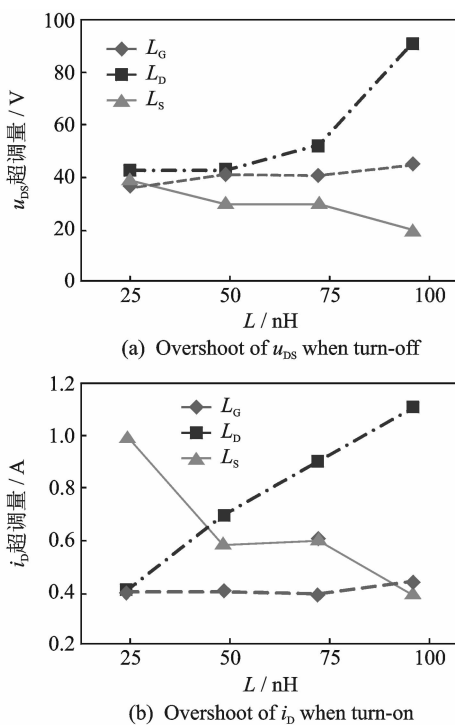


图 7 超调量与寄生电感的关系曲线

Fig. 7 Relationship curves of voltage and current overshoot versus parasitic inductance

量均有较大的影响, L_D 越大, u_{DS} 和 i_D 的超调量越大。与之相反, u_{DS} 和 i_D 的超调量随着 L_S 的增大而减小,即 L_S 在驱动回路所起的负反馈作用对 L_D 引起的开关波形振荡有一定抑制作用。

2.4.2 开关时间

图 8 为寄生电感 L_G 、 L_D 、 L_S 对 SiC MOSFET 开通时间 t_{on} 、关断时间 t_{off} 的影响。由图可知, L_G

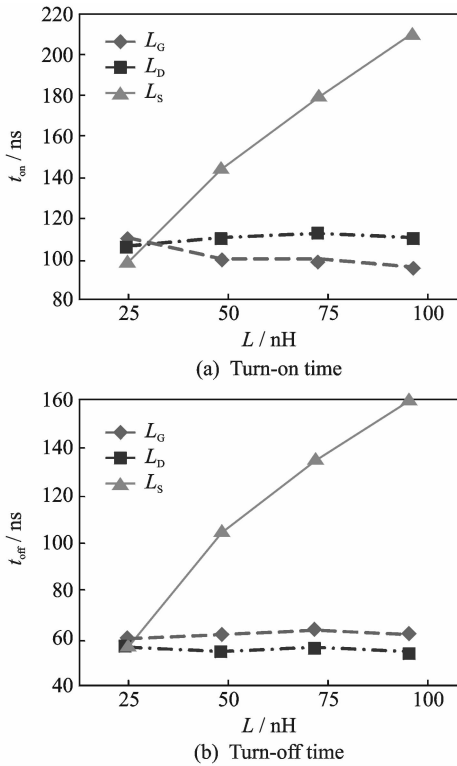


图8 开关时间与寄生电感关系曲线

Fig. 8 Relationship curves of turn-on and turn-off time versus parasitic inductance

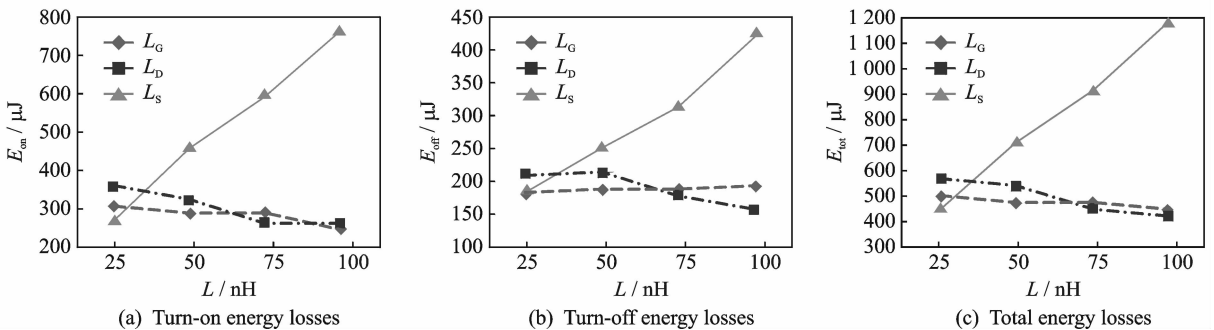


图9 开关能量损耗与寄生电感关系曲线

Fig. 9 Relationship curves of turn-on and turn-off energy losses versus parasitic inductance

3 寄生电感综合匹配设计方法

在高速开关驱动电路中,要求驱动回路与主功率回路的布局都比较紧凑,但PCB走线受实际布局限制,难以同时兼顾各部分寄生电感的减小。因驱动回路紧凑布局的优先级较高,一般要首先满足,因此在布局紧凑程度如回路走线总长不变的情况下,需权衡考虑源极 L_S 与漏极 L_D 的匹配,使得开关电路的特性在满足系统要求的情况下尽可能优化。实验中,在保持 L_D 与 L_S 的和基本不变的情况下,选取4组不同组合的 L_D 与 L_S (见表1),对漏极电压尖峰、漏极电流尖峰、开关管开关能量、开通关断速率 di/dt 和 u_{GS} 振荡情况进行了测试对比。

和 L_D 对开通、关断时间的影响不是很明显,而寄生电感 L_S 对SiC MOSFET的开关时间影响很大,随着 L_S 的增大,开通、关断时间明显变长。

2.4.3 对开通和关断能量的影响

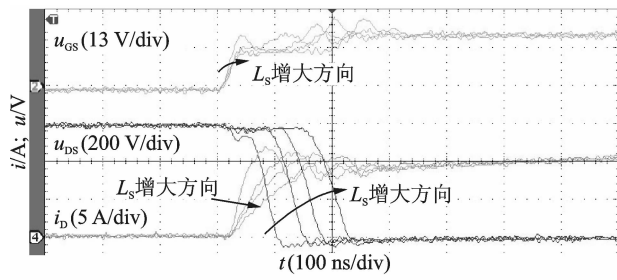
图9给出了开关能量与寄生电感的关系曲线。随着 L_G 的增大,开通和关断能量几乎不变。随着 L_D 的增大,开通和关断能量略有减小,总开关能量减小幅度相对较小。由于 L_S 的负反馈作用, L_S 对开关能量有很大的影响。当 L_S 为95 nH时,总开关能量是相同感值的 L_D 作用下总开关能量的3倍左右。

由以上分析比较可知,在高速开关情况下,栅极电感 L_G 对栅极回路的振荡影响较大,但对主开关回路的影响较小;漏极电感 L_D 对开通电流尖峰和关断电压尖峰的影响最大,对波形的振荡也有些影响;源极电感 L_S 在主开关回路和栅极回路之间构成“负反馈”效应,对 L_D 引起的波形振荡和电压尖峰有抑制作用,且减缓了漏极电流的变化速度,对开关速度和开通、关断能量的影响最为显著。

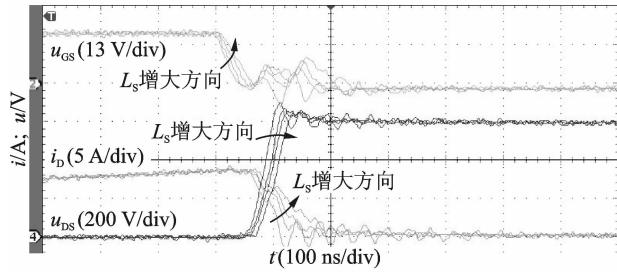
表1 不同组合的 L_D 与 L_S Tab. 1 Different combinations of L_D and L_S

实验组数	1	2	3	4
实验条件	$L_S=40$ nH	$L_S=56$ nH	$L_S=80$ nH	$L_S=104$ nH
	$L_D=120$ nH	$L_D=104$ nH	$L_D=80$ nH	$L_D=56$ nH

图10给出不同 L_D 与 L_S 组合条件下开关管的开通和关断波形。 L_D 与 L_S 的总和基本不变的情况下,开关瞬间 di_D/dt 随 L_S 变化的曲线如图11所示。在开通过程中,随着 L_S 的增加, u_{GS} 的上升速度变慢,漏极电流 i_D 的上升速度和漏极电压 u_{DS} 的下降速度减缓,开通速度变慢,通过漏极电流 i_D 和漏极电压 u_{DS} 的乘积积分计算开关能量损耗,图



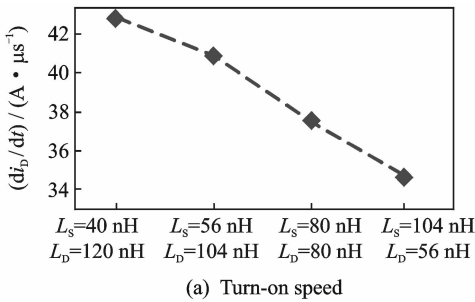
(a) Turn-on waveforms



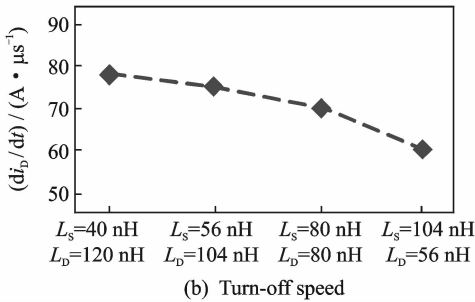
(b) Turn-off waveforms

图 10 开关管开关瞬间 u_{GS} , i_D 和 u_{DS} 随 L_S 变化的波形 (L_D 与 L_S 和不变)

Fig. 10 Switching waveforms of u_{GS} , i_D and u_{DS} under different L_S (under constant sum of L_D and L_S)



(a) Turn-on speed



(b) Turn-off speed

图 11 开关速度随 L_S 变化的曲线 (L_D 与 L_S 和不变)

Fig. 11 Relationship curves of switching speed under different L_S (under constant sum of L_D and L_S)

12 给出了计算结果,开通损耗随 L_S 的增大而增大,开通瞬态电流尖峰随 L_S 的增大而减小。

在关断过程中, L_D 与 L_S 的总和基本不变的情况下,随着 L_S 的增大, u_{GS} 的下降速度也降低,因此漏极电流 i_D 的下降速度和漏极电压 u_{DS} 的上升速度减慢,关断速度减慢,如图 11(b) 所示。关断能量随 L_S 的增大而增大,关断瞬态电压尖峰和开通

电流尖峰随 L_S 的增大而减小,如图 13 所示。

由以上实验结果分析可知,在布局受实际因素制约的情况下,若 L_D 与 L_S 总和已很难再进一步减小,则应合理调配 L_D 与 L_S 的大小,满足实际电路要求,其基本规律为:(1)若增大 L_S 的同时减小 L_D ,这两种寄生电感的变化叠加,使得关断电压尖峰和开通电流尖峰显著减小,满足开关管应力最小的优化目标,但是由于 L_S 对栅极回路的“负反馈”效应,使得开关时间变长,导致开关损耗显著增加;(2)若在减小 L_S 的同时增大 L_D ,两种寄生电感的

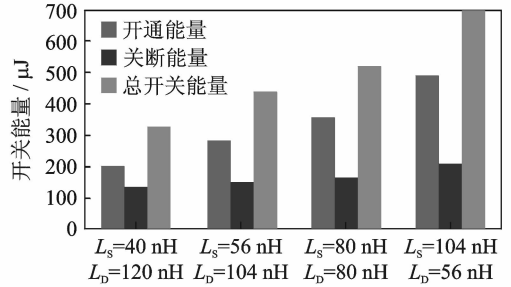
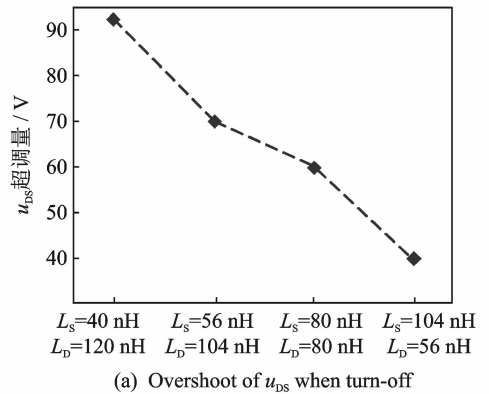
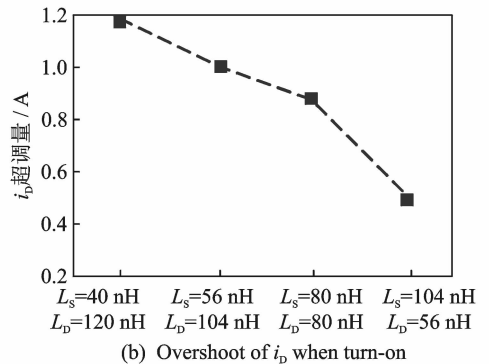


图 12 开关能量随 L_S 变化图 (L_D 与 L_S 和不变)

Fig. 12 Comparisons of switching energy under different L_S (under constant sum of L_D and L_S)



(a) Overshoot of u_{DS} when turn-off



(b) Overshoot of i_D when turn-on

图 13 关断电压与开通电流尖峰随 L_S 变化的曲线 (L_D 与 L_S 和不变)

Fig. 13 Relationship curves of voltage and current overshoot under different L_S (under constant sum of L_D and L_S)

变化叠加可使得开关能量显著减小,但是会以增大关断电压尖峰和开通电流尖峰为代价,开关管的电压电流应力增大。所以,在 PCB 布局受到实际物理限制时,需要根据设计目标优化考虑,若以降低开关管的电压和电流应力为最优目的,可适当增大 L_S 、减小 L_D ;若以低开关损耗为最优设计目标,则应适当减小 L_S 、增大 L_D 。这与之前的理论分析一致。

4 结 论

本文系统研究了 SiC MOSFET 各部分寄生电感对器件开关过程的影响,得出了各寄生电感对开关特性的影响规律:

(1)合理驱动电路的设计一般均要保证栅极回路寄生电感很小,因此寄生电感 L_G 对功率器件开关特性的影响相对较小;

(2)漏极寄生电感 L_D 对波形振荡和电压尖峰的影响较大;

(3)源极寄生电感 L_S 对波形振荡和电压尖峰有一定抑制作用,但会使得开关能量损耗增加。

在满足栅极驱动回路与功率回路寄生电感较小,并在布局紧凑程度相对不变的情况下,提出不同优化目标下寄生电感值匹配选择的优化布局方法,通过 L_S 与 L_D 寄生电感值的匹配设计,使得开关电路在物理布局受限的情况下满足不同的开关特性优化目标,从而指导 SiC 功率器件高速开关电路的优化布局设计。

参考文献:

[1] 钱照明,张军明,谢小高,等. 电力电子系统集成研究进展与现状[J]. 电工技术学报, 2006, 21(3): 2-14.

QIAN Zhaoming, ZHANG Junming, XIE Xiaogao, et al. Progress in power electronics system integration[J]. Transactions of China Electrotechnical Society, 2006, 21(3): 2-14.

[2] 王建华,张国钢,耿英三,等. 智能电器最新技术研究及应用发展前景[J]. 电工技术学报, 2015, 30(9): 1-11.

WANG Jianhua, ZHANG Guogang, GENG Ying-san, et al. The latest technology research and application prospects of the intelligent electrical apparatus [J]. Transactions of China Electrotechnical Society, 2015, 30(9): 1-11.

[3] 梁美,郑琼林,可翀,等. SiC MOSFET、Si Cool-

MOS 和 IGBT 的特性对比及其在 DAB 变换器中的应用[J]. 电工技术学报, 2015, 30(12): 41-50.

LIANG Mei, ZHENG Qionglin, KE Chong, et al. Performance comparison of SiC MOSFET, Si Cool-MOS, and IGBT for DAB converter [J]. Transactions of China Electrotechnical Society, 2015, 30(12): 41-50.

[4] 严仰光,秦海鸿,龚春英,等. 多电飞机与电力电子[J]. 南京航空航天大学学报, 2014, 46(1): 11-18.

YAN Yangguang, QIN Haihong, GONG Chunying, et al. More electric aircraft and power electronics [J]. Journal of Nanjing University of Aeronautics & Astronautics, 2014, 46(1): 11-18.

[5] 王莉,朱萍. 新型宽带 SiC 功率器件在电力电子中的应用[J]. 南京航空航天大学学报, 2014, 46(4): 524-532.

WANG Li, ZHU Ping. Overview of application of SiC power devices in power electronics[J]. Journal of Nanjing University of Aeronautics & Astronautics, 2014, 46(4): 524-532.

[6] Infineon Semiconductor Group. The influence of parasitic network parameters on the switching behavior of power MOSFETs when switching ohmic/inductive loads[EB/OL]. <http://www.infineon.com>, 2014.

[7] CLEMENTE S, PELLY B R, ISIDORI A. Understanding HEXFET switching performance[EB/OL]. Application Note-947, <http://www.irf.com>, 2004.

[8] NAYAK P, KRISHNA M V, VASUDEVAKRISHNA K, et al. Study of the effects of parasitic inductances and device capacitances on 1 200 V, 35 A SiC MOSFET based voltage source inverter design[C]// International Conference on Power Electronics, Drives and Energy Systems. Mumbai:[s. n.], 2014: 1-6.

[9] Infineon Semiconductor Group. Advanced power semiconductor devices challenges and solutions in applications [EB/OL]. SiC MOSFET Application Notes, <http://www.infineon.com>, 2015.

[10] WANG Zhaohui, ZHANG Junming, WU Xinke, et al. Analysis of stray inductance's influence on SiC MOSFET switching performance[C]// Energy Conversion Congress and Exposition. Pittsburg:[s. n.], 2014: 2838-2843.

[11] CHEN Zheng, BOROYEVICH D, BURGOS R. Experimental parametric study of the parasitic inductance influence on MOSFET switching characteristics [C] // Power Electronics Conference. Sapporo:

- [s. n.], 2010: 164-169.
- [12] ANTHON A, HERNANDEZ J C, ZHANG Zhe, et al. Switching investigations on a SiC MOSFET in a TO-247 package[C]//Industrial Electronics Society. Dallas:[s. n.], 2014: 1854-1860.
- [13] COUGO B, SCHNEIDER H, MEYNARD T. High current ripple for power density and efficiency improvement in wide bandgap transistor-based buck converters[J]. IEEE Transactions on Power Electronics, 2015, 30(8): 4489-4504.
- [14] WANG Jianjing, CHUNG H S H, Li R T H. Characterization and experimental assessment of the effects of parasitic elements on the MOSFET switching performance [J]. IEEE Transactions on Power Electronics, 2013, 28(1): 573-590.
- [15] DONG Zezheng, WU Xinke, SHENG Kuang, et al. Impact of common source inductance on switching loss of SiC MOSFET[C]//Future Energy Electronics Conference. Taipei, China:[s. n.], 2015: 1-5.
- [16] LI Helong, MUNK-NIELSEN S. Detail study of SiC MOSFET switching characteristics[C]//International Symposium on Power Electronics for Distributed Generation Systems. Rogers:[s. n.], 2014: 1-5.
- [17] NOPPAKUNKAJORN J, HAN Di, SARLIOGLU B. Analysis of high-speed PCB with SiC devices by investigating turn-off overvoltage and interconnection inductance influence [J]. IEEE Transactions on Transportation Electrification, 2015, 1(2): 118-125.

