

基于可逆触发器的可逆移位寄存器设计方法

王友仁 沈先坤 周影辉

(南京航空航天大学自动化学院, 南京, 210016)

摘要: 为了进一步提高可逆时序逻辑电路设计方法的通用性和改善可逆电路性能指标, 以可逆主从 D 触发器为基本单元, 通过将时钟信号及垃圾位信号级联再利用, 提出了一种可逆串行移位寄存器优化设计方案。在此基础上, 通过目标函数构造及变换构建带有移位控制的单元模块, 设计了满足串行输入串/并行输出功能的 n 位可逆双向移位寄存器。设计结果表明, 采用方法所设计的可逆移位寄存器具有较优的性能指标, 且对于双向移位寄存器综合具有较好的通用性。

关键词: 可逆时序逻辑电路; 可逆触发器; 垃圾位; 可逆移位寄存器

中图分类号: TP302 **文献标志码:** A **文章编号:** 1005-2615(2014)04-0533-05

Design Method for Reversible Shift Register Based on Reversible Flip Flop

Wang Youren, Shen Xiankun, Zhou Yinghui

(College of Automation Engineering, Nanjing University of Aeronautics & Astronautics, Nanjing, 210016, China)

Abstract: To improve the generality of synthesis methods of reversible sequential logic circuits and circuit performance indicators, an optimized design of reversible serial shift register is presented based on master-slave D flip-flop, which constructs serial shift registers by cascading and reusing the clock signal and garbage bits. And on this basis, the objective function is constructed and transformed to build modules with shift control and design the n -bit reversible register realizing the function of bidirectional serial-in parallel-out and serial-out parallel-out. The results show that the proposed reversible serial shift register has better performances and the method has preferable generality in synthesizing bidirectional registers.

Key words: reversible sequential logic circuit; reversible flip flop; garbage bit; reversible shift register

随着电路集成度和计算速度的需求越来越高, 低功耗电路设计变得越发重要。Landauer^[1]指出, 传统电路中能量的消耗主要来自于不可逆操作中信息位的丢失。Bennett^[2]证明了若组成可逆门网络, 实现能量零损耗是可能的。因此, 可逆特性将成为未来低功耗电路设计的基础。

目前可逆逻辑电路的设计包括组合逻辑电路和时序逻辑电路, 其中已有多种组合可逆逻辑电路的设计方法被提出^[3-7], 而时序可逆逻辑电路设计方法的研究却较缓慢。可逆时序逻辑电路研究主要集中在可逆触发器和各种可逆寄存器的综合。作为可逆移位寄存器的基本逻辑单元, 现有的可逆

触发器主要通过 Fredkin 门和 Feynman 门级联实现^[8-9], 或利用新可逆逻辑门构建可逆触发器^[10]。以可逆触发器为基础, 现已提出了具有不同输入输出模式的可逆移位寄存器设计方案^[11], 通过添加控制位实现可逆寄存器双向移位^[12]。现有的设计方法能得到期望的可逆时序功能电路, 但在性能指标优化、电路规模、方法通用性等方面依然存在不足。需要进一步研究更加有效且适用于更大规模可逆时序逻辑电路的设计方法。

本文以典型的可逆时序电路为例, 提出一种可逆时序电路设计方法。该方法基于可逆逻辑门替换和垃圾位重新利用的思想, 通过将时钟信号级联

基金项目: 航空科学基金(2013ZD52055)资助项目。

收稿日期: 2013-09-19; **修订日期:** 2013-11-18

通信作者: 王友仁, 男, 教授, 博士生导师, E-mail: wangyurac@nuaa.edu.cn。

再利用构建多位可逆串行移位寄存器,并进一步利用目标函数构造法构建模块电路,通过模块电路级联设计 n 位双向串行输入串/并行输出可逆移位寄存器。

1 可逆逻辑电路基本概念

区别于传统不可逆逻辑电路,可逆逻辑电路的设计遵循以下约束条件:(1)输入与输出位数相等,且满足一一映射;(2)电路中不允许存在反馈,无扇入扇出操作。可逆逻辑门是处理量子信息的基本单元,可逆逻辑电路是由可逆逻辑门级联而成。

Feynman 门(FG 门),如图 1(a)所示,其中 A 为控制位, B 为受控位,其常用于对信号位的复制,即当 B 为 0 时可产生两个 A 输出。Fredkin 门(FRG 门),又称控制交换门,如图 1(b)所示,当 $A=1$ 时, $Q=C, R=B$,即实现两个目标位的信息交换。

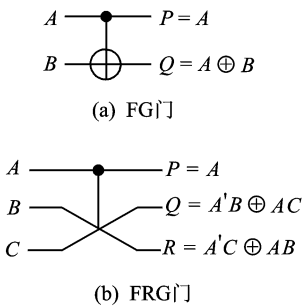


图 1 常用的可逆逻辑门
Fig. 1 Basic reversible logic gates

量子代价是指实现可逆逻辑电路所用的 1×1 或 2×2 的量子可逆门的数量,反映了可逆逻辑电路的实现成本^[13],表 1 为常用可逆逻辑门及其量子代价。

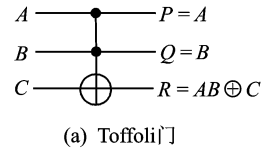
表 1 常用可逆逻辑门对应的量子代价

Tab. 1 Quantum costs of basic reversible logic gates

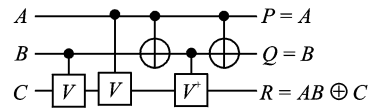
可逆逻辑门	量子代价	可逆逻辑门	量子代价
非门	1	FG 门	1
V/V ⁺ 门	1	Toffoli 门	5
FRG 门	5	Peres 门	4

图 2(a)所示为 Toffoli 门,利用该可逆门可由两个输入信号产生与和异或输出,图 2(b)为由量子门构成的 Toffoli 门电路,其量子代价为 5。

在可逆逻辑电路中,除期望输出外的输出位称为垃圾位,垃圾位为无用位。目前减少垃圾位方法通常是采用将上一级垃圾位输出作为下一级的输



(a) Toffoli 门



(b) Toffoli 门的量子门实现

图 2 Toffoli 门及其对应的量子门实现
Fig. 2 Toffoli gate and its quantum gate

入进行重新利用的方式^[14]。如何设计满足特定功能函数且具有更低的量子代价、垃圾位数及可逆门数的可逆电路是可逆逻辑电路设计的目标。

2 可逆移位寄存器设计方法

2.1 可逆串行移位寄存器设计

可逆串行移位寄存器是典型的可逆时序逻辑电路,其可用可逆触发器实现,且每个可逆触发器需设置时钟信号 CP 和 \overline{CP} 。图 3 是由 FRG 门和 FG 门组成的可逆主从 D 触发器^[10],其量子代价为 13、垃圾位数为 4。

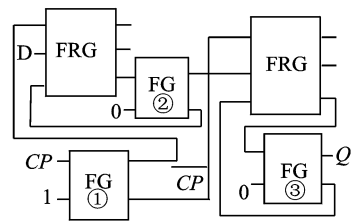


图 3 可逆主从 D 触发器

Fig. 3 Reversible master-slave D flip-flop

n 位可逆串行移位寄存器的设计方法为:

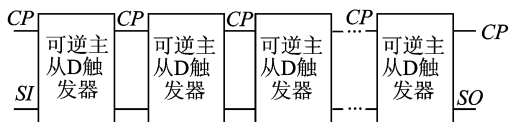
(1) n 位可逆移位寄存器由 n 个可逆触发器串联组成。以图 3 所示可逆主从 D 触发器电路作为与原始输入时钟信号 CP 连接的第一个可逆触发器;

(2) 用 FG 门(标有序号为①的可逆逻辑门)对原始时钟信号 CP 取反操作后产生的 CP 和 \overline{CP} 可分别作为第一个可逆主从 D 触发器中两个 Fredkin 门的控制端输入;

(3) 将前一级的 CP 和 \overline{CP} 信号继续作为后续可逆主从 D 触发器的两个输入信号,并以此类推。

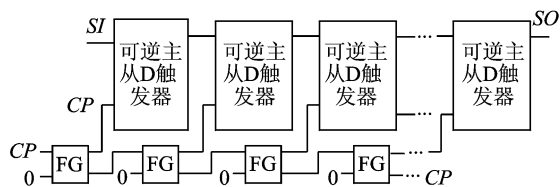
利用该方法构建 n 位可逆串行移位寄存器如图 4(a)所示,其中除第一个可逆主从 D 触发器外,

剩余 $n-1$ 个可逆主从 D 触发器单元中分别利用了上级单元的输出 CP 和 \overline{CP} , 即剩余的 $n-1$ 个可逆主从 D 触发器无需额外的 Feynman 门进行复制和取反操作, 其量子代价低于图 4(b) 中的电路。



注: SI 表示序列输入信号; SO 表示序列输出信号

(a) 本文构建的可逆串行移位寄存器



(b) 文献[11]中的可逆串行移位寄存器

图 4 两种方法构建的 n 位串行移位寄存器

Fig. 4 n -bit serial shift registers constructed by two methods

2.2 可逆双向移位寄存器设计

相比于可逆串行移位寄存器, 可逆双向移位寄存器的设计更为复杂, 除需要可逆主从 D 触发器外, 还需实现双向移位和多种输入输出方式控制。本文采用目标函数构建和可逆门替换方法, 设计既可实现串行输入串行输出又可实现串行输入并行输出的 n 位可逆双向移位寄存器, 其设计方法如下:

(1) 建立功能函数表达式

根据 n 位可逆双向移位寄存器的函数功能设置控制端, 令双向移位寄存器的两个控制端输入 E_1 和 E_2 的取值及相应移位方式为: (1) 当 $E_1=0, E_2=0$ 时, 执行数据左移操作; (2) 当 $E_1=0, E_2=1$ 时, 执行数据右移操作; (3) 当 E_1 为高电平时不执行移位操作。则 n 位可逆双向移位寄存器的期望输出 Q^+ 的表达式为

$$Q^+ = \overline{E_1} \overline{E_2} Q_{i+1} + \overline{E_1} E_2 Q_{i-1} + E_1 Q_i \quad (1)$$

式中: i 为状态时序; Q_i 为触发器的当前输出状态; Q_{i+1} 为右侧相邻的可逆主从 D 触发器输出; Q_{i-1} 为左侧相邻的可逆主从 D 触发器的输出。式(1)进一步化简为

$$Q^+ = \overline{E_1} (\overline{E_2} Q_{i+1} + E_2 Q_{i-1}) + E_1 Q_i \quad (2)$$

(2) 变换功能函数表达式

常用可逆逻辑门的输出为输入信号的与和异或关系, 为此需要将功能函数表达式转换成只包含

与和异或关系的形式。通常根据函数表达式得出真值表, 再利用真值表变换法^[15]得到对应的电路结构, 但真值表变换法不能保证电路性能指标最优, 且对于变量较多的真值表规模较大, 其变换规则较为复杂。而且, 目前真值表变换法只适合于处理含有单个目标位的量子门, 很难适用于构建较大规模的可逆逻辑模块。

为解决真值表变换法的不足, 本文首先利用或和异或之间的转换规则对初始表达式进行转换, 然后根据现有 3-bit 可逆逻辑门具有可实现任意逻辑函数的特点, 构建与目标函数表达式相对应的可逆逻辑电路。

已知 n 变量布尔函数 $f: \{0, 1\}^n \rightarrow \{0, 1\}$, 用或操作符表达的关系式为

$$f(x_1, \dots, x_n) = + \sum_{i=1}^{2^n} a_i M_i \quad (3)$$

式中: $a_i \in (0, 1)$; M_i 为对应的第 i 项最小项表达式。因最小项互不相同, 可以将式(3)写成如下形式

$$f(x_1, \dots, x_n) = \oplus \sum_{i=1}^{2^n} a_i M_i \quad (4)$$

利用 Reed-Muller^[16]变换公式将式(4)转换为

$$f(x_1, \dots, x_n) = b_0 \oplus b_1 x_1 \oplus \dots \oplus b_n x_n \oplus b_{12} x_1 x_2 \oplus \dots \oplus b_{n-1, n} x_{n-1} x_n \oplus \dots \oplus b_{12 \dots n} x_1 x_2 \dots x_n \quad (5)$$

式中 $b_i \in \{0, 1\}$, b_i 由 a_1, a_2, \dots, a_n 的值决定。例如, 对于布尔函数: $f(x_1, x_2, x_3) = x_1 + \overline{x_2} x_3$, 转换为异或逻辑函数的具体步骤为:

① 将函数 f 表示成最小项相或的形式

$$f = x_1 \overline{x_2} \overline{x_3} + x_1 \overline{x_2} x_3 + x_1 x_2 \overline{x_3} + x_1 x_2 x_3 + x_1 x_2 x_3 \quad (6)$$

则 $a_{001} = a_{100} = a_{101} = a_{110} = a_{111} = 1$ 。

② 运用 Reed-Muller 变换公式, 可得 $b_1 = b_3 = b_{12} = b_{13} = b_{123} = 1$, 则函数 f 可转化为

$$f = x_1 \oplus x_3 \oplus x_1 x_2 \oplus x_1 x_3 \oplus x_1 x_2 x_3 \quad (7)$$

由此, 通过以上过程, 可将含有或操作的表达式转换为只含有异或操作的表达式。对于 Q^+ 的函数表达式, 也可用上述方法得出其异或表达式, 且考虑到 E_2 和 $\overline{E_2}$ 不可能同时为 0 或 1, 有表达式 $\overline{E_2} Q_{i+1} + E_2 Q_{i-1}$ 与表达式 $\overline{E_2} Q_{i+1} \oplus E_2 Q_{i-1}$ 等价, 则 Q^+ 的函数表达式可表示为

$$Q^+ = \overline{E_1} (\overline{E_2} Q_{i+1} \oplus E_2 Q_{i-1}) + E_1 Q_i \quad (8)$$

令变量 $P = \overline{E_2} Q_{i+1} + E_2 Q_{i-1}$, 则式(8)可变换为

$$Q^+ = \overline{E_1} P + E_1 Q_i = \overline{E_1} P \oplus E_1 Q_i \quad (9)$$

(3) 电路功能实现

由于式(9)中最小项对应一个FRG门,故期望输出 Q^+ 的函数表达式共需要2个FRG门来实现。图5(a)为可逆移位寄存器与原始时钟信号相连的初始单元电路,包括 Q^+ 产生电路和可逆主从D触发器,为避免扇出操作,该单元需要产生4个 Q_i ,其作用为:①主从D触发器的输入;②期望输出 Q^+ 的输入变量;③并行输出位;④作为相邻单元的输入变量。

在构造 n 位可逆双向移位寄存器过程中,根据信号 CP 和 \overline{CP} 的级联再利用思想,要产生左右两个方向的 Q_i ,需要用 $n-1$ 个FG门对右侧 $n-1$ 个单元模块中产生的 Q_i 进行复制以避免扇出操作。然后将 n 个单元模块级联进一步构成 n 位并行输出的可逆双向移位寄存器。图5(b)为可逆移位寄存器基本单元电路。

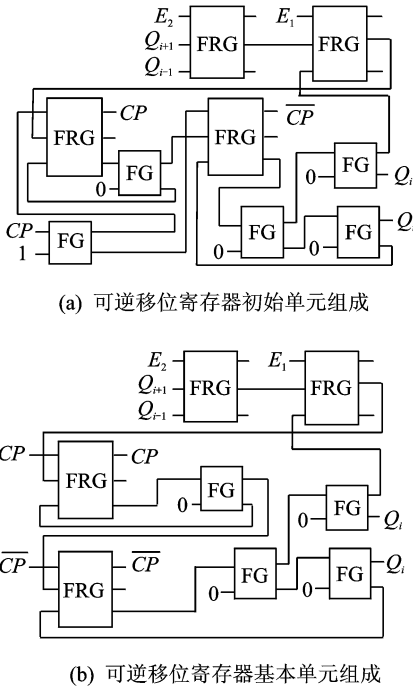


图5 可逆双向移位寄存器单元模块

Fig. 5 Module of reversible bidirectional shift register

n 位可逆移位寄存器电路结构如图6所示。由于设计的移位寄存器需要满足双向传输的条件,而移位寄存器单元模块只有两个连接外部的输出 Q_i ,则进行寄存器单元模块级联时,还需要额外产生一个输出 Q_i 作为移位寄存器向左移位时的信息传输位。在避免扇出的前提下,可取 $n-1$ 个FG门作为 Q_i 位的复制门。

从图5(a)可以看出,构建可逆移位寄存器初始单元模块需要9个可逆逻辑门,剩余 $n-1$ 个单

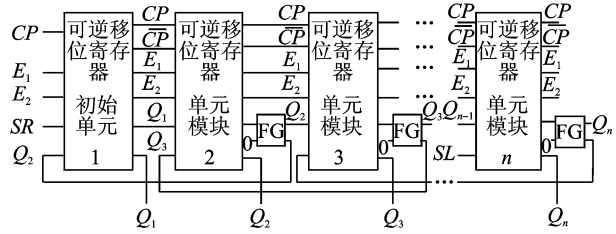


图6 可逆 n 位双向移位寄存器

Fig. 6 n -bit reversible bidirectional shift register

元模块只需8个可逆逻辑门。将该单元模块级联成移位寄存器后,除第1个单元模块外,剩余 $n-1$ 个单元模块需要分别添加FG门用来产生左移操作时的输入。因此,该 n 位可逆双向移位寄存器共需要的可逆逻辑门总数 $gn=9+8(n-1)+n-1=9n$ 。

图5(a,b)中的电路都产生了8个垃圾位输出,但是在将该单元进行级联时,在前 $n-1$ 个单元模块中,每一个模块产生的 $CP, \overline{CP}, E_1, E_2$ 可以作为其下一个模块的输入。因此, $CP, \overline{CP}, E_1, E_2$ 只在第 n 个单元模块作为垃圾位输出,则双向移位寄存器产生的垃圾位总数 $gb=4(n-1)+8=4n+4$ 。

图5(a)所示的可逆移位寄存器初始单元模块的量子代价总和为25,而除第1个单元模块之外的剩余 $n-1$ 个基本组成单元模块还需要添加 $n-1$ 个进行输出位复制的FG门,则该电路量子代价为 $qc=25+24(n-1)+n-1=25n$ 。

根据以上分析,可得结论:构建 n 位可逆双向移位寄存器需要 $9n$ 个可逆逻辑门,产生 $4n+4$ 个垃圾输出位,其量子代价总数为 $25n$ 。

3 设计结果与分析

表2为本文方法所构建的 n 位移位寄存器的性能指标,含门数(gc), gb 和 qc 。

表2 两种 n 位可逆移位寄存器性能指标比较

Tab. 2 Performance indexes of two n -bit reversible shift registers

n 位可逆移位寄存器	gc	gb	gb 减少量	qc	qc 减少量
本文方法	$4n+1$	$2n+2$	$2n-1$	$12n+1$	$12n-1$
文献[11]方法	$6n$	$4n+1$		$14n$	

从表2可以看出,本文构建串行移位寄存器所用门数、产生的垃圾位数和量子代价均优于文献[11]方法。

此外,双向移位寄存器设计中采用了目标函数 Reed-Muller 表达式变换和 FRG 功能函数构建方法,简化了寄存器基本单元模块的构建过程,为双向移位寄存器的设计提供了一种有效途径。

4 结束语

针对可逆时序电路优化设计问题,本文提出了一种 n 位可逆串行移位寄存器设计方案,基于可逆主从 D 触发器,利用上级 D 触发器输出的垃圾位作为下级电路的输入,实现了对可逆串行移位寄存器的优化设计,通过目标功能函数的构建及变换进一步实现了双向串行输入串/并行输出可逆移位寄存器的设计。结果表明,该方法所设计的串行移位寄存器具有更优的性能指标,对于双向可逆移位寄存器设计具有较好的通用性。

参考文献:

- [1] Landauer R. Irreversibility and heat generation of the computing process[J]. IBM Journal of Research and Development, 1961, 5(3): 183-219.
- [2] Bennett C H. Notes on Landauer's principle, reversible computation, and Maxwell's demon [J]. Studies in History and Philosophy of Science Part B: Studies in History and Philosophy of Modern Physics, 2003, 34(3): 501-510.
- [3] Guan Zhijin, Qin Xiaolin, Dai Hua. Reversible logic gate network cascade based on permutation group [J]. Transactions of Nanjing University of Aeronautics & Astronautics, 2008, 25(3): 219-223.
- [4] 冯冉. 可逆逻辑电路综合方法研究[D]. 南京: 南京航空航天大学, 2011.
Feng Ran. Research on reversible logic circuits synthesis method [D]. Nanjing: Nanjing University of Aeronautics & Astronautics, 2011.
- [5] 冯冉, 王友仁, 陈燕, 等. 量子可逆逻辑电路在线错误检测方法[J]. 仪器仪表学报, 2010, 30(11): 2534-2541.
Feng Ran, Wang Youren, Chen Yan, et al. Online error detection method for quantum reversible logic circuits[J]. Chinese Journal of Scientific Instrument, 2010, 30(11): 2534-2541.
- [6] 王友仁, 黄媛媛, 冯冉, 等. 基于矩阵编码的量子可逆逻辑电路进化设计方法[J]. 电子学报, 2011, 39(11): 2576-2582.
- [7] 柏磊, 朱翔, 朱晓华. 基于动态评价方法的多态电路进化设计[J]. 南京航空航天大学学报, 2012, 44(3): 354-359.
Bai Lei, Zhu Xiang, Zhu Xiaohua. Evolutionary design of polymorphic circuits based on dynamic evaluation method [J]. Journal of Nanjing University of Aeronautics & Astronautics, 2012, 44(3): 354-359.
- [8] Rice J E. A new look at reversible memory elements [C]//IEEE International Symposium on Circuits and Systems. Piscataway, NJ: IEEE, 2006: 1243-1246.
- [9] Thapliyal H, Ranganathan N. Design of reversible latches optimized for quantum cost, delay and garbage outputs [C]//23th International Conference on VLSI Design. Piscataway, NJ: IEEE, 2010: 235-240.
- [10] Sayem A S M, Ueda M. Optimization of reversible sequential circuits [J]. Journal of Computing, 2010, 2(6): 208-214.
- [11] Thapliyal H, Zwolinski M. Reversible logic to cryptographic hardware: A new paradigm [C]//49th IEEE International Midwest Symposium on Circuits and Systems. Piscataway, NJ: IEEE, 2006: 342-346.
- [12] Nayeem N M, Hossain M A, Jamal L, et al. Efficient design of shift registers using reversible logic [C]//2009 International Conference on Signal Processing Systems. Piscataway, NJ: IEEE, 2009: 474-478.
- [13] Biswas A K, Hasan M M, Chowdhury A R, et al. Efficient approaches for designing reversible binary coded decimal adders [J]. Microelectronics Journal, 2008, 39(12): 1693-1703.
- [14] Majid M, Mohammad E. On figures of merit in reversible and quantum logic designs [J]. Quantum Information Processing, 2009, 8(4): 297-318.
- [15] Maslov D, Dueck G W, Miller D M. Toffoli network synthesis with templates [J]. IEEE Transactions on CAD, 2005, 24(6): 807-817.
- [16] Khan M M H A, Alam M S. Algorithms for conversion of minterms to positive polarity Reed-Muller coefficients and vice versa [J]. Information Processing Letters, 1997, 62(5): 223-230.