

基于 SoPC 的微小卫星姿轨控计算机设计与实现

康国华¹ 夏青² 成婧²

(1. 南京航空航天大学航天学院, 南京, 210016; 2. 南京航空航天大学自动化学院, 南京, 210016)

摘要:为满足微小卫星对姿轨控计算机高性能、低功耗以及丰富的外设接口的要求,采用 Cyclone IV FPGA 芯片设计了姿轨控计算机,并且通过硬件编程实现外设接口控制器 IP 核,并将其集成到现场可编程门阵列(Field programmable gate array, FPGA)中,提高系统集成度。此外,使用可编程片上系统(System on programmable chip, SoPC)技术在 FPGA 中实现了硬浮点运算,加快了 NiosII 软核处理浮点运算的速度。实测表明,采用 Cyclone IV FPGA 设计的姿轨控计算机具有功耗低、运算速度快以及接口丰富等特点,能够满足微小卫星对姿轨控计算机的要求。

关键词:微小卫星;姿轨控计算机;现场可编程门阵列(FPGA);可编程片上系统(SoPC);硬浮点运算

中图分类号:V19 **文献标志码:**A **文章编号:**1005-2615(2013)06-0763-06

Design of Attitude and Orbit Control Computer of Micro Satellite Based on SoPC

Kang Guohua¹, Xia Qing², Cheng Jing²

(1. College of Astronautics, Nanjing University of Aeronautics & Astronautics, Nanjing, 210016, China;

2. College of Automation Engineering, Nanjing University of Aeronautics & Astronautics, Nanjing, 210016, China)

Abstract: To satisfy the requirements of high performance, low power consumption and abundant interfaces for attitude and orbit control computer (AOCC) of micro-satellites, AOCC is designed based on field programmable gate array(FPGA). AOCC processes data and algorithm with 32 bit processor Nios II. The IP cores of interface controllers are designed by hardware programming and integrated into FPGA in order to improve the integrity of the computer system. In addition, the float point hardware is designed in FPGA using system on programmable chip(SoPC) technology to improve the operation performance of AOCC. The results of analysis and experiment show that AOCC based on Cyclone IV FPGA can satisfy the demand of micro-satellite because it has many advantages such as low power consumption, fast operation speed and abundant interfaces.

Key words: micro-satellite; altitude and orbit control computer(AOCC); field programmable gate array (FPGA); system on programmable chip(SoPC); float point hardware

微小卫星凭借其发射灵活、成本低、功能密度高、研制周期短等一系列优势,成为当前国际空间技术研究的热点。发达国家在该技术领域走在了前列,民用与军用方面都从中受益。随着微小卫星在遥感、通讯、导航以及空间攻防^[1]等方面的潜力

不断被挖掘,人们希望微小卫星具备快速响应,发射后无需地面维护等能力,而这些能力的具备是与姿轨控系统密切相关的。

姿轨控计算机在姿轨控系统中起着举足轻重的作用,它需要完成传感器数据采集、姿态控制、轨

道控制等多个功能。在目前国内微小卫星姿轨控计算机设计中,有采用 386、ARM、DSP 等^[2-4] 芯片进行设计的。采用 386CPU 的方法运算速度偏低,而且体积和功耗均不理想;采用 ARM 的方法硬件结构较为固定,限制了通用性;采用 DSP+MCU 的方法存在耦合松散、硬件调试周期长等问题^[5]。随着现场可编程门阵列(Field programmable gate array, FPGA)门电路规模的不断扩大,使得低功耗、高速数据处理和灵活的接口控制^[6] 等多重点集中于单个芯片,而且 FPGA 可动态分配内部资源,为在轨维护提供了方便^[7-9],因此,本文考虑使用 FPGA 芯片设计高性能、低功耗、接口丰富的姿轨控计算机,以弥补上述设计方案的不足。

1 总体方案设计

姿轨控计算机的主要功能包括信息采集、信息处理和指令输出。信息采集主要是采集各传感器的信息;信息处理包括微小卫星姿态轨道确定及控制算法,涉及到大量的浮点运算,要求姿轨控计算机具有快速的数据运算能力;指令输出包括对执行机构的驱动以及关键数据的储存等。对于微小卫星的姿轨控系统来说,磁强计、GPS、太敏、陀螺、磁力矩器、动量轮等通常为标配的常规器件,其接口要求也代表了大多数姿轨控技术的要求,接口方案如表 1 所示。为了适应多传感器信息融合以及多种方式的姿态轨道控制方法,姿轨控计算机需提供多路高精度的 A/D 采集接口,D/A 输出接口以及多路 RS232,RS422 等数字接口。

表 1 姿轨控计算机接口方案表

参数代号	参数名称	接口	类型	参数描述	输入/输出电平/V	输入阻抗/kΩ
1	磁强计	AD	输入	模拟量	-5~+5	>200
2	太阳传感器	AD	输入	模拟量	0~+5	>200
3	陀螺	AD	输入	模拟量	-5~+5	>200
4	GPS	RS422	输入			
5	动量轮	DA	输出	模拟量	0~+5	
6	磁力矩器	DA	输出	模拟量	-5~+5	

根据上述需求分析,该姿轨控计算机的主要性能要求为:单 CPU,速度 ≥ 150 MHz;SRAM=512 KB,SDARM=32 MB,FLASH=8 MB 字节;质量 ≤ 0.5 kg;功耗 ≤ 3 W;其主要接口包括:15 路 12 位 A/D,8 路 12 位 D/A,4 路 RS232,1 路 RS422。图 1 所示为姿轨控计算机硬件结构图,为了方便后续板卡的升级,采用核心板+底板的结构形式,若以后需要更换更高性能的 FPGA 芯片,只需更换

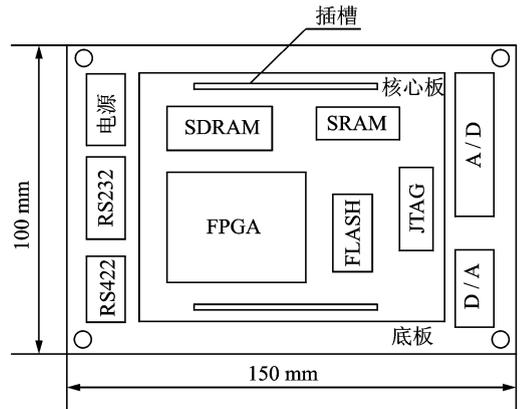


图 1 姿轨控计算机硬件结构图

核心板即可。

2 硬件平台设计

2.1 核心板设计

2.1.1 FPGA 芯片选型

Altera 公司推出的 Cyclone 系列 FPGA 具有最优的性价比,北京航空航天大学魏博使用 CycloneII 系列 FPGA 芯片设计了航天图像传感器驱动^[10];上海海事大学罗来金使用 CycloneII 系列 FPGA 为某型卫星设计了信号测量处理系统^[11]。Cyclone IV 系列是 Altera 公司采用经过优化的 60 nm 工艺生产的 FPGA 芯片,它在 Cyclone 系列中功耗是最低的。所有 Cyclone IV FPGA 只需两路电源供电,简化了电源分配网络,从而降低了电路板成本,减小了电路板面积。Cyclone IV 系列的 EP4CE115F23I7 芯片拥有 115 K 逻辑门,281 个 IO 口,包含 266 个嵌入式 18×18 乘法器,支持 NiosII 32 位嵌入式处理器。在芯片内部的可编程资源中,可应用硬件描述语言设计具有特定功能的 IP 核。

基于 EP4CE115F23I7 的特点可知,该 FPGA 芯片可满足姿轨控计算机对高速数值运算能力的要求;姿轨控计算机所需的数据采集、接口通信等功能都可以使用 IP 核在 FPGA 中灵活实现,结构简单,体积和功耗都可以得到很好的控制,再加上该芯片工作温度范围在 $-40 \sim +85$ °C,因此本文选用 EP4CE115F23I7 作为主芯片、辅以外围电路设计姿轨控计算机。

2.1.2 存储电路

主要包括 SRAM、SDRAM 和 FLASH,它们是组建 NiosII 内核所必备的。SRAM 和 SDRAM 用于保存临时程序和数据。SRAM 具有接口简单、速度快、容易操作等优点,但是资源较少;

SDRAM 容量大,但是速度不及 SRAM,接口也较复杂。因此在卫星姿轨控系统中,若配置简单则使用 SRAM;反之,若配置复杂则使用 SDRAM。考虑到 SRAM 和 SDRAM 的掉电易失特性,系统另配置 FLASH 用于保存配置信息、程序等数据。

配置芯片:采用串行接口芯片 EPCS128,为 FPGA 储存结构数据,保存基本配置,下一次上电或重启时,将 FLASH 所储存的数据再次发送到 FPGA 芯片上。

SRAM:姿轨控计算机需要较好的实时性,因此该姿轨控计算机的 SRAM 模块使用存储容量为 512 KB 的高速异步、低功耗的 CMOS 芯片 IS61LV25616-8TI,数据宽度为 16 bit。

SDRAM:作为数据的缓存器,使用的 H57V2562GTR-50I 芯片,是一个 32 MB 同步高速动态存储器,其内部是一个存储阵列,具有 256 MB 容量。为了增大数据存储容量,在该姿轨控计算机中使用了两片 H57V2562GTR-50I 芯片。

FLASH:使用易于与 Cyclone IV 器件连接的容量为 8 MB 的芯片 AM29LV640MB100EF。数据宽度为 16 bit,3 V 可擦除可编程闪存,其功能命令包含读取程序和擦除操作。

2.2 接口底板设计

时钟电路:使用 OSC SMD5032 芯片为该计算机系统提供 40 和 50 MHz 两种晶振,经过锁相环(PLL)扩频以满足 FPGA 对不同时钟的需求。

供电电路:该姿轨控计算机共需要 4 种供电标准:5,3.3,2.5 和 1.2 V。5 V 电压由外部单机提供;采用宽温低功耗的 LD1117S25CTR、LD1117S33CTR 稳压器将 5 V 电压分别转变为 2.5 和 3.3 V 供相应模块使用;使用 SPX3819 稳压器将 3.3 V 电压转变为 1.2 V 供 JTAG 使用。为了使稳压器的输出均匀化,降低负载需求,消除输入信号中的干扰,在供电电源管脚和地管脚旁边加上旁路电容。

串口电路:根据设计需求,串口电路包含 RS232 及 RS422,分别使用 MAX238 及 MAX490 芯片完成逻辑电平转换。

A/D 转换电路:为了能够采集以模拟量形式输出的传感器数据,采用两片 AD7892 芯片级联设计了 15 路 12 位并行 A/D 转换器,采样频率可达 500 kHz,输入的电压范围有 ± 5 V 或 ± 10 V 可供选择。

D/A 转换电路:姿轨控系统的执行机构(动量轮和磁力矩器)都由姿轨控计算机输出模拟电压来

驱动,因此采用 4 片 AD7249 芯片设计了 8 路 12 位 D/A 转换器,模拟量输出更新频率可达 125 kHz,输出电压范围可供选择(0~10 V,0~5 V 以及 ± 5 V)。

2.3 硬件实现

根据上述总体方案和硬件设计,最后姿轨控计算机实物如图 2 所示。将所设计的姿轨控计算机与某型微小卫星姿轨控计算机进行比较,结果见表 2。由表 2 可以发现,相对于传统姿轨控计算机,基于 SoPC 的姿轨控计算机在体积、功耗、性能以及接口方面均具有优势。事实上,由于系统还处于原理样机阶段,一旦测试定型后,核心板和底板将用一块电路板实现,系统的尺寸、功耗将会进一步降低。

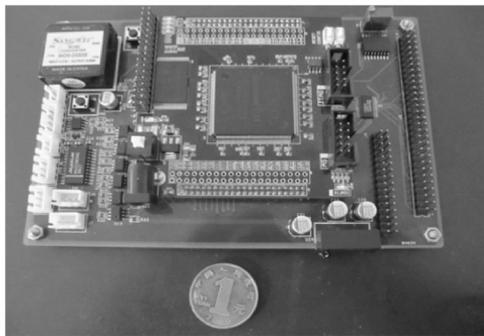


图 2 姿轨控计算机实物图

表 2 主要性能指标

参数	基于 SoPC 的姿轨控计算机	某型微小卫星姿轨控计算机 ^[12]
CPU	单 CPU, 速度 ≥ 150 MHz	单 CPU, 速度为 40 MHz
存储器	SRAM=512 KB SDARM=32 MB FLASH=8 MB	SRAM=8 KB DRAM=1 KB FLASH=64 KB
接口	15 路 12 位 A/D 8 路 12 位 D/A 4 路 RS232 1 路 RS422	32 路 12 位 A/D 4 路 12 位 D/A4 路 RS422
电源/V	外部单机提供+5	外部单机提供+5
功耗/W	≤ 3	< 4
工作温度/ $^{\circ}\text{C}$	-45~+85	-45~+85
尺寸/ (mm \times mm \times mm)	150 \times 100 \times 25	150 \times 110 \times 46
质量/kg	≤ 0.5	1.1

3 接口控制 IP 核设计

根据姿轨控计算机的功能需求,FPGA 片内功能结构按照图 3 所示进行配置。将 NiosII 作为片上姿轨控计算机的核心控制器和主要计算部件,负

责协调和调用片内其他功能单元,并承担了姿轨控数据处理任务,承担起CPU的功能。在图3中,姿轨控系统中所需的数据采集、接口通信、存储器读写等功能均以IP核的形式集成在FPGA的可编程逻辑资源中,并通过Avalon片内总线与NiosII处理器相连接^[13]。

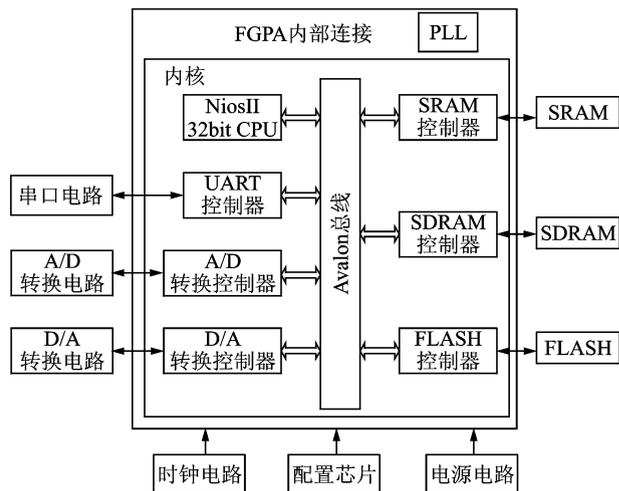


图3 FPGA片内功能结构图

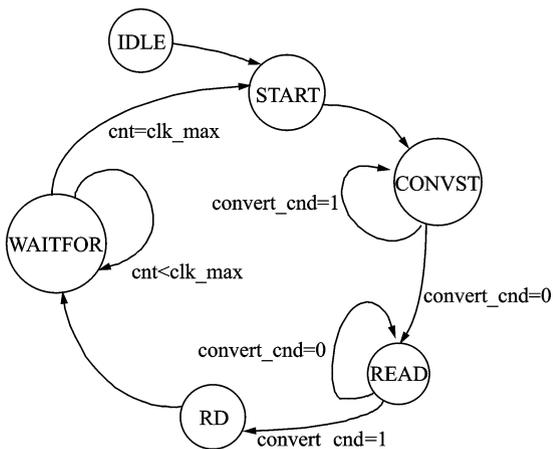
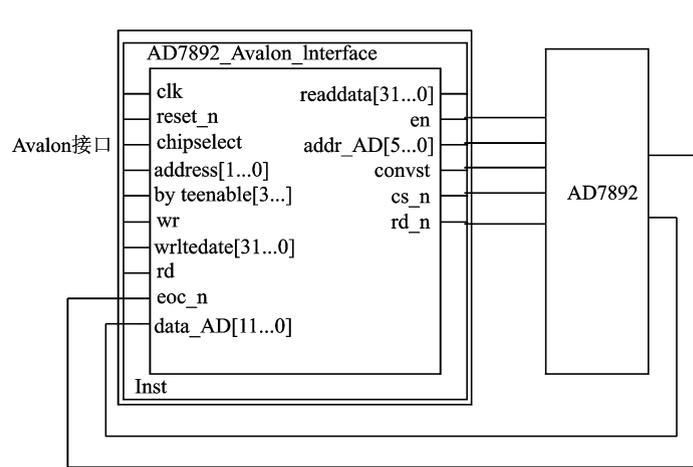


图4 A/D控制器IP核的接口图和状态图

4 硬浮点运算的实现

微小卫星姿轨控算法中涉及到三角函数、矩阵求逆等复杂的数学运算,本文在配置NiosII处理器时加入了浮点定制指令,利用FPGA特性实现硬浮点加减乘除四则运算。为了比较硬浮点运算与软浮点运算的性能,本文在第3节最小内核的基础上增加了两个IP核模块:Performance counter和System timer,其中Performance counter模块用来计算代码执行的时间,它提供了复位、开启时

本文在Quartus II 11.1环境中实现了上述IP核。使用SoPC Builder选择32位内核,确定偏置地址,添加JTAG UART、ON CHIP MEMORY和SYSTEM ID生成一个最小内核。硬件内核构建成功后,可从Quartus II 11.1环境中添加UART、SRAM、SDRAM以及FLASH控制器IP核。对于A/D、D/A控制器,由于Quartus II中没有集成好的IP核,所以需要使用硬件编程来实现。

图4为所设计的A/D控制器IP核的接口图和状态图,状态图描述了控制器对AD7892芯片^[14]的操作过程,实现A/D采样。A/D采样过程中,首先进入IDLE初始化状态,关闭A/D转换电路的使能信号以保证时序有序的运行。之后进入START状态,使能片选信号,做好转换准备。接着进入CONVST状态,启动A/D转换。待CONVST状态变为READ状态,继续检测敏感信号直到进入RD状态,读取转换后的数字信号。WAITFOR状态用于延时,以保证采样频率为500 kHz。D/A控制器IP核的设计与A/D类似,这里不再赘述。

钟计数器等函数接口;System timer提供了系统时钟。接着在Eclipse开发环境中设计了测试程序,程序流程图5所示。测试硬件为图2所示的姿轨控计算机实物。

每次测试之前,首先产生两组浮点数,每组1000个,然后分别使用硬浮点和软浮点对这两组数据进行加减乘除运算。在这过程中使用performance counter component分别计算硬浮点执行时间以及软浮点执行时间,程序运行结果如表3所示。

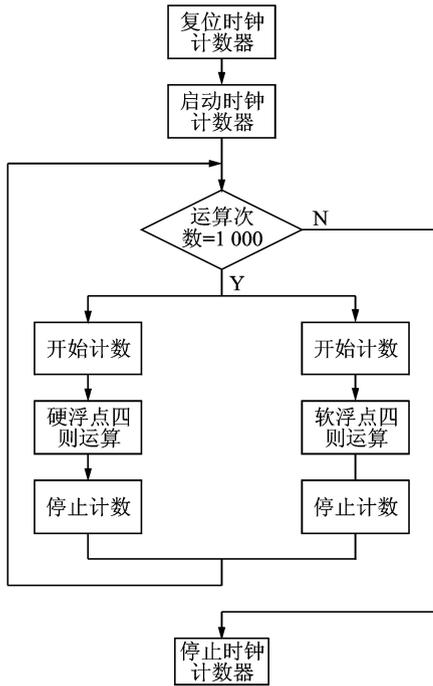


图 5 测试程序流程图

表 3 浮点运算时间结果

浮点运算		t/ms	CPU 时钟
ADD	FP CI	0.30	14 000
	FP SW	6.10	306 640
SUB	FP CI	0.28	14 000
	FP SW	5.02	250 975
MUL	FP CI	0.24	12 000
	FP SW	6.50	325 076
DIV	FP CI	0.64	32 000
	FP SW	9.63	481 698

注:“FP CI”表示硬浮点的性能;“FP SW”表示软浮点的性能。

从表 3 中可以看出硬浮点的加减乘除运算速度分别是软浮点的 20,18,27,15 倍。

5 结束语

本文基于 SoPC 技术设计了微小卫星姿轨控计算机,并且在 Quartus II 11.1 环境下使用硬件编程实现了接口控制 IP 核。此外,利用浮点定制指令设计了硬浮点运算以加快 CPU 处理浮点运算的速度。从实际应用看,基于 SoPC 技术的姿轨控计算机体积小、功耗低;其丰富并且可重新配置的外设接口使之可以适应多种姿轨控模式的要求,

成为多功能姿轨控计算机;而且由硬浮点运算带来的强大的运算能力使它可以适应越来越复杂的姿轨控算法。实际应用测试表明,该设计方案正确可行,所设计的姿轨控计算机运行可靠,可作为 CubeSat 或者 ChipSat 等微小卫星姿轨控计算机的备选方案。

参考文献:

- [1] 林来兴. 国外微小卫星在空间攻防中的应用研究[J]. 装备指挥技术学院学报, 2006, 17(6): 47-49.
Lin Laixing. Study on the overseas microsatellite application in space attack-defense[J]. Journal of the Academy of Equipment Command & Technology, 2006, 17(6): 47-49.
- [2] 郁丰. 微小卫星姿轨自主确定技术研究[D]. 南京:南京航空航天大学,2008.
Yu Feng. Research on micro-satellite attitude and orbit autonomous determination[D]. Nanjing: Nanjing University of Aeronautics and Astronautics,2008.
- [3] 陈志明. 微小卫星自主编队控制及平台开发研究[D]. 南京:南京航空航天大学,2011.
Chen Zhiming. Research on autonomous formation control and platform development of micro-satellite [D]. Nanjing: Nanjing University of Aeronautics and Astronautics,2011.
- [4] 欧阳滨,全伟. 基于 ARM 的微纳卫星集成定姿系统设计及实现[C]//中国宇航学会深空探测技术专业委员会第七届学术年会论文集. 哈尔滨:[s. n.], 2010:379-384.
Ouyang Bin, Quan Wei. Design and implementation of integrated attitude determination system for micro-satellite based on ARM[C]//7th Annual Conference Proceeding of Committee of Deep Space Exploration Technology Chinese Society of Astronautics. Harbin: [s. n.], 2010:379-384.
- [5] 蒙涛. 皮卫星姿态确定与控制系统方案设计与实现[D]. 浙江:浙江大学,2006.
Meng Tao. Design and development of attitude determination and control system of Pico-satellite [D]. Zhejiang: Zhejiang University,2006.
- [6] 杨雅,卫新国,高洁,等. 新一代 FPGA 在星载嵌入式计算机中的应用[J]. 上海航天, 2005(2): 47-50.
Yang Ya, Wei Xinguo, Gao Jie, et al. The application of the latest FPGA series in on-board embedded computer[J]. Aerospace Shanghai, 2005(2):47-50.
- [7] Sellmaier F, Boge T, Spurmann J, et al. On-orbit servicing missions: Challenges and solutions of

- spacecraft operations[C]//Proc of the Technical Interchange for Space Mission Operations and Ground Data Systems Conference. Huntsville, Alabama:[s. n.],2010;1-11.
- [8] Rupp T, Boge T, Kiehling R, et al. Flight dynamics challenges of the german on-orbit servicing mission DEOS[C]//Proc of the 21st International Symposium on Space Flight Dynamics. Toulouse, France: [s. n.],2009;1-13.
- [9] Chen X Q, Yuan J P, Yao W, et al. On-orbit servicing technology for spacecraft [M]. Beijing: China Astronautic Publishing House,2009.
- [10] 魏博,肖文,王璠璟. 基于FPGA的CMOS图像传感器的驱动开发[J]. 光学与光电技术,2008,6(5):56-58.
Wei Bo, Xiao Wen, Wang Fanjing. Design of CMOS image sensor driver based on FPGA[J]. Optics & Optoelectronic Technology, 2008,6(5):56-58.
- [11] 罗来金,曾连荪. 基于FPGA的卫星数字频率信号处理关键技术研究是实现,2011,19(14):144-146.
Luo Laijin, Zeng Liansun. Research and implementation of key technologies about satellite digital frequency signal processing based on FPGA[J]. Electronic Design Engineering, 2011,19(14):144-146.
- [12] 盖建宁,谢华,卫新国. 某微小型卫星姿轨控计算机系统的设计[J]. 上海航天,2003(3):44-47.
Gai Jianning, Xie Hua, Wei Xinguo. Design of a small satellite attitude and orbit control compute[J]. Aerospace Shanghai, 2003(3):44-47.
- [13] 姜漫,吴志勇,曹腾. 基于SoPC技术的VGA字符和图像显示系统[J]. 液晶与显示,2013,28(1):120-126.
Jiang Man, Wu Zhiyong, Cao Teng. Characters and images VGA display system based on SoPC technology[J]. Chinese Journal of Liquid Crystals and Displays, 2013,28(1):120-126.
- [14] 程耀瑜,胡鹞. 高速12位模数转换器AD7892及其在图像采集中的应用[J]. 国外电子元器件,2000(9):22-24.
Cheng Yaoyu, Hu Yan. High speed 12-bits A/D converter AD7892 and its application in image acquisition [J]. International Electronic Elements,2000(9):22-24.