

数字锁相环的最优化设计

陈鑫 吴宁

(南京航空航天大学电子信息工程学院, 南京, 210016)

摘要:为改善航空设备中时钟源抖动性能,针对时钟源产生电路——数字锁相环,提出了一种理论分析方法。该理论分析方法基于数字锁相环的Z域模型,通过逆Z变换,推导出数字锁相环内噪声在时间域上的响应公式。在响应公式的帮助下,分析数字锁相环环路参数对输出时钟抖动性能的影响,进而为设计高性能数字锁相环提供指导。为验证该理论分析方法,本文利用MATLAB语言搭建了数字锁相环的行为级模型。仿真结果表明,该方法可以明显改善数字锁相环的抖动性能。

关键词:数字锁相环;抖动;环路增益

中图分类号: TN402 **文献标识码:** A **文章编号:** 1005-2615(2012)01-0087-06

Optimal Design of Digital Phase-Locked Loop

Chen Xin, Wu Ning

(College of Electronic and Information Engineering, Nanjing University of Aeronautics & Astronautics, Nanjing, 210016, China)

Abstract: To improve the performance of the clock source in avionics, a theoretic analysis method is proposed to focus on the clock source generator, digital phase-locked loop (DPLL). Based on the DPLL z-domain model, the theoretic analysis deduces the time-domain response formulas of the noises in DPLL. With the help of the response formulas, the effects of DPLL loop parameters on the jitter performance are analyzed to guide the DPLL design. To verify the theoretic analysis, a DPLL behavior model is developed in MATLAB. The simulation results show that the jitter performance of DPLL with the optimum filter parameters is improved significantly.

Key words: digital phase-locked loop; jitter; loop gain

在过去的数十年中,随着计算机、通信、雷达、导航^[1]、航空航天和遥控遥测技术的不断发展,航空航天设备对时钟源抖动性能的要求越来越高。为提高时钟源抖动性能,锁相环作为高性能的时钟源产生电路,广泛应用于航空通信^[2]、航空摄像、航空导航^[3]和航空着陆^[4]等航空航天领域。

与传统的模拟锁相环相比,数字锁相环面积小,抗噪声能力强,易于在各个工艺之间转换,重用性高,设计周期短,因此逐渐成为设计者的关注焦点^[5-6]。但是,针对数字锁相环抖动性能展开的研究

并不是很多,例如采用线性工具传输函数分析数字锁相环性能的报道寥寥无几^[7]。文献[8]利用根轨迹图分析数字滤波器参数对数字锁相环稳定性的影响。文献[9]提出当数字锁相环的带宽远低于参考时钟频率的1/10时,数字锁相环将具有和模拟锁相环相同的频率响应和稳定特性。但是,为了改善数字锁相环的抖动性能,如何设计数字锁相环环路参数这个问题,仍然悬而未决。

为解决这个问题,本文试图从时间域分析数字锁相环环路参数对数字锁相环抖动性能的影响,进

基金项目:国家自然科学基金(61076019,61106029)资助项目;江苏省科技支撑计划(BE2010003)资助项目。

收稿日期:2011-01-12;**修订日期:**2011-06-30

通讯作者:吴宁,女,教授,博士生导师,1956年2月生,E-mail:wunee@nuaa.edu.cn。

而为设计数字锁相环路参数提供指导。为了验证该理论分析,本文利用MATLAB语言搭建了数字锁相环的行为级模型。

1 数字锁相环的Z域模型

为分析数字滤波器对数字锁相环的影响,必须先建立数字锁相环的Z域模型。

如图1所示,数字锁相环结构通常由鉴相鉴频器,时间-数字转换器,数字滤波器,数控振荡器和分频器组成。下面将对锁相环各个结构进行Z域建模。

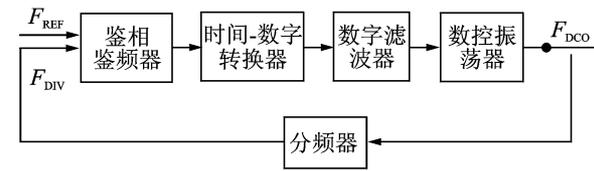


图1 数字锁相环结构框图

1.1 鉴相鉴频器及时间-数字转换器

鉴相鉴频器电路用于检测参考时钟 F_{REF} 和分频时钟 F_{DIV} 之间的相位误差,并将相位误差转为时间宽度信号。然后时间-数字转换器将时间宽度信号转为数字信号。值得指出的是,对于鉴相鉴频器,需要额外添加一个延迟单元 z^{-1} ,这是因为数控振荡器输出的频率仅和上一次鉴相的结果有关。

鉴相鉴频器以及时间-数字转换器的Z域模型如下

$$P(z) = \frac{T_{ref}}{2\pi\Delta t_{TDC}} z^{-1} = \kappa_d z^{-1} \quad (1)$$

式中: T_{ref} 为参考时钟的周期; Δt_{TDC} 为时间-数字转换器的精度。

1.2 数字滤波器

数字滤波器根据时间-数字转换器的数字信息生成控制字。一阶数字滤波器的结构图如图2所示。因此,很容易写出数字滤波器的传输函数为

$$F(z) = \kappa_f + \frac{\kappa_f \kappa_1 z^{-1}}{1 - z^{-1}} = \kappa_f \frac{1 - (1 - \kappa_1) z^{-1}}{1 - z^{-1}} \quad (2)$$

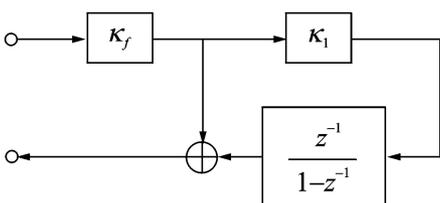


图2 一阶数字滤波器结构图

式中 κ_f 和 κ_1 为数字滤波器的参数。通常, κ_f 和 κ_1 的值均为 0.5 的指数函数。因此,可以用移位来代替乘法。这样可以简化计算,并减少不必要的环路延迟,过多的延迟将影响数字锁相环的稳定性。

1.3 数控振荡器

数控振荡器在数字滤波器的输出控制下,输出相应频率的时钟 F_{DCO} 。由于数控振荡器的相位变化是通过改变频率积分得到的,因此数控振荡器的Z域模型为

$$D(z) = \frac{\kappa_o}{1 - z^{-1}} = \frac{2\pi K_o T_{ref}}{1 - z^{-1}} \quad (3)$$

式中 K_o 为数控振荡器的增益。

1.4 分频器

分频器根据分频系数对时钟 F_{DCO} 进行分频再送入鉴相鉴频器参与鉴相。分频器的模型可以用一个系数来表示,因此,分频器的Z域模型为

$$\kappa_{div} = 1/M \quad (4)$$

式中 M 为分频器的分频系数。

2 抖动计算

2.1 噪声模型

对于数字锁相环,主要有如下4个噪声源:外部参考时钟输入噪声,时间-数字转换器的量化噪声,数控振荡器的内部噪声以及数控振荡器的量化噪声。

外部参考时钟输入噪声主要由热噪声,串扰噪声和散粒噪声等组成。通常情况下,外部参考时钟输入噪声远小于数控振荡器的噪声。

时间-数字转换器的量化噪声是由于时间-数字转换器有限的转换精度而导致的。

数控振荡器的内部噪声包括 $1/f$ 噪声,电源和衬底噪声。 $1/f$ 噪声可以通过大宽带的锁相环来抑制。电源和衬底噪声具有很宽的带宽,环形振荡器中电源和衬底噪声仅和振荡器的频率有关,而与级数无关^[10]。

数控振荡器的量化噪声与其结构有关。数控振荡器只能输出离散的频率点。因此,很容易出现需要输出的频率点 f 。在数控振荡器能够输出的频率点 f_1, f_2 之间。若其他噪声很小,则数控振荡器的量化噪声会导致数字锁相环出现极限环现象^[11],即数字锁相环的控制字周期性发生变化。

但是,当时间-数字转换器以及数控振荡器的精度足够低时,量化噪声仍然可以用随机噪声来模

拟^[10]。因此,上述4种噪声的Z域模型如下所示

$$n_1(z) = \frac{1}{1-z^{-1}}\delta_1 \quad (5)$$

$$n_2(z) = \delta_2 \quad (6)$$

$$n_3(z) = \delta_3 \quad (7)$$

$$n_4(z) = \delta_4 \quad (8)$$

式中: n_1 为数控振荡器内部噪声模型,它被定义为幅度任意的阶跃信号,这是因为该噪声直接影响了数控振荡器相位的累加; n_2 为外部参考时钟输入噪声; n_3 为时间-数字转换器的量化噪声; n_4 为数控振荡器的量化噪声,由于这些噪声只在某个特定时刻注入到环路中,因此被定义为幅度任意的冲击信号; $\delta_1, \delta_2, \delta_3$ 和 δ_4 分别代表 n_1, n_2, n_3 和 n_4 的随机量幅度。

2.2 公式推导

图3所示的是数字锁相环包括4种噪声源的Z域模型。

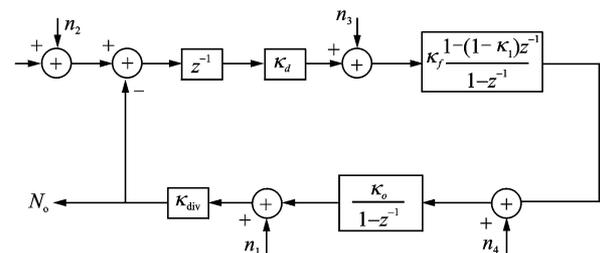


图3 数字锁相环模型

由于4种噪声彼此之间互不相关,数字锁相环输出抖动的传输函数表示为

$$N_o = \frac{(1-z^{-1})\kappa_{\text{div}}\delta_1}{1+(K-2)z^{-1}+[1-K(1-\kappa_1)]z^{-2}} + \frac{K[1-(1-\kappa_1)z^{-1}]z^{-1}\delta_2}{1+(K-2)z^{-1}+[1-K(1-\kappa_1)]z^{-2}} + \frac{K[1-(1-\kappa_1)z^{-1}]\delta_3/\kappa_d}{1+(K-2)z^{-1}+[1-K(1-\kappa_1)]z^{-2}} + \frac{\kappa_{\text{div}}\kappa_o(1-z^{-1})\delta_4}{1+(K-2)z^{-1}+[1-K(1-\kappa_1)]z^{-2}} \quad (9)$$

式中 $K = \kappa_d \kappa_f \kappa_o \kappa_{\text{div}}$ 。

由数控振荡器内部噪声 n_1 导致周期抖动的计算方法如下。

定义

$$H_1(z) = \frac{(1-z^{-1})\kappa_{\text{div}}}{1+(K-2)z^{-1}+[1-K(1-\kappa_1)]z^{-2}} \quad (10)$$

经过Z域逆变换,由数控振荡器内部噪声 n_1 引起周期抖动的离散响应为

$$N_{o1}(nT) = \sum_{k=1}^n \delta_1(k)H_1(n-k) \quad (11)$$

式中 $H_1(k) = Z^{-1}(H_1(z))$ 。

由数控振荡器内部噪声 n_1 导致的周期抖动可由式(12)给出

$$\Delta T_{c1} = \sqrt{E(N_{o,1}^2(nT))} = \sqrt{\sum_{h=1}^n \sum_{k=1}^n \sigma_{hkl} \epsilon_{hkl}} \quad (12)$$

式中

$$\sigma_{hkl} = E(\delta_1(h)\delta_1(k)) \quad (13)$$

$$\epsilon_{hkl} = H_1(n-k)H_1(n-h) \quad (14)$$

因为数控振荡器内部噪声 n_1 是随机且互不相关,所以 $\sigma_{hkl} = 0 (h \neq k)$ 。式(12)可以简化为

$$\Delta T_{c1} = \sigma_{kk\text{rms}1} \sqrt{\sum_{k=0}^{n-1} H_1^2(k)} = \sigma_{kk\text{rms}1} \Phi_1 \quad (15)$$

式中 $\Phi_1 = \sqrt{\sum_{k=0}^{n-1} H_1^2(k)}$ 。

通常,式(15)中 Φ_1 无法再继续简化。为了得到周期抖动的确切值,需要采用一阶近似方法,或者使用软件例如MATLAB等求出数值解。

由其他噪声导致的周期抖动也可以通过上述方法计算得到。

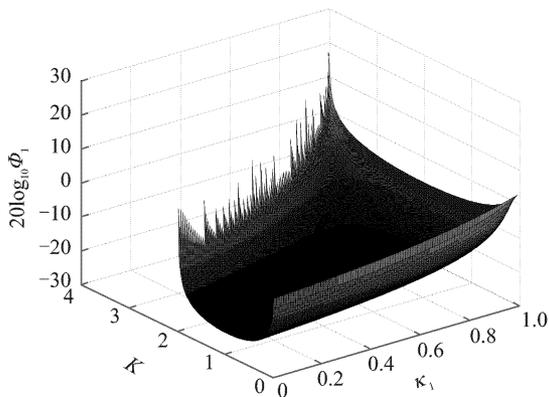
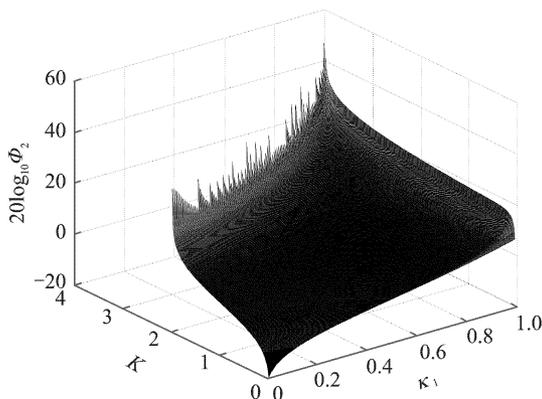
3 环路参数对抖动的影响

为了直观地分析环路参数对数字锁相环周期抖动的影响,本文定义如下性能参数:

- (1)参考时钟频率 $F_{\text{ref}} = 80 \text{ MHz}$;
- (2)分频系数 $M = 16$;
- (3)数控振荡器增益 $\kappa_o = 1 \text{ MHz/LSB}$;
- (4)数字转换器增益 $\Delta_{\text{TDC}} = 20 \text{ ps}$ 。

由式(15)可知,周期抖动 ΔT_{c1} 与噪声的均方根值 $\sigma_{kk\text{rms}1}$ 以及 Φ_1 有关。噪声的均方根值 $\sigma_{kk\text{rms}1}$ 与振荡器的设计有关。 $\sigma_{kk\text{rms}1}$ 越小,周期抖动 ΔT_{c1} 越小。当振荡器设计结束后, $\sigma_{kk\text{rms}1}$ 确定,则周期抖动 ΔT_{c1} 只与 Φ_1 有关。 Φ_1 的取值随着环路参数 K 和 κ_1 的变化而变化。由于 Φ_1 在通常情况下无法简化,本文采用MATLAB穷举 K 和 κ_1 在设计中可取的值,再通过式(15)计算 Φ_1 值,从而得到 Φ_1, K 和 κ_1 之间的关系。由图4可知, Φ_1 与 κ_1 成线性增长关系, Φ_1 与 K 是一个凹函数关系。因此存在一个 K ,使得 Φ_1 的值最小。

基于上述方法,同样也可得到 Φ_2, K 和 κ_1 之间

图4 Φ_1, K 和 κ_1 之间的关系图5 Φ_2, K 和 κ_1 之间的关系

的关系,其中 $\Phi_2 = \sqrt{\sum_{k=0}^{n-1} H_2^2(k)}$ 。从图5可知, Φ_2 与 κ_1 以及 K 均成线性增长关系。

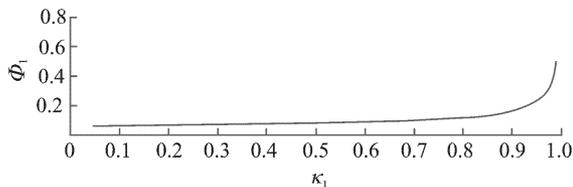
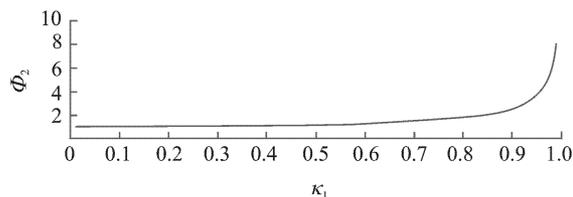
由式(9)可知, $H_3(z)$ 和 $H_2(z)$ 成线性关系, $H_4(z)$ 和 $H_1(z)$ 成线性关系。因此, $H_3(z)$, $H_4(z)$ 的离散响应分别和 $H_2(z)$, $H_1(z)$ 的离散响应成正比关系。

结合图4,5可知,对于数字锁相环,存在一个 K 值,使得数字锁相环的周期抖动最小。而 κ_1 的取值要复杂得多,这是因为虽然周期抖动与 κ_1 成线性增长关系,但是 κ_1 对数字锁相环抖动性能的影响并不明显(见图6),故 κ_1 取0到0.7之间的值都可以接受。

为了确定 κ_1 的取值,可以从数字锁相环的稳定性以及阻尼系数的取值来考虑。数字锁相环的稳定范围由式(16)给出

$$0 < K < 4/(2 - \kappa_1) \quad (16)$$

如式(15)所示,随着 κ_1 的减小,数字锁相环的稳定范围也随之减小。

(a) κ_1 与 Φ_1 的关系(b) κ_1 与 Φ_2 的关系图6 κ_1 与 Φ_1 以及 Φ_2 之间的关系

若数字锁相环的带宽远低于参考时钟频率的 $1/10$,则一阶近似式(17)成立

$$z = 1 + sT_{\text{ref}} \quad (17)$$

阻尼系数可由式(18)表示

$$\zeta = 0.5 \sqrt{K/\kappa_1} \quad (18)$$

通常,锁相环设计会选用最佳阻尼系数0.707,此时, κ_1 的取值如式(19)所示

$$\kappa_1 = K/2 \quad (19)$$

因此,一旦 K 值被确定,则 κ_1 的取值也可以确定。

4 模型验证

MATLAB 行为级模型的工作原理和一个实际数字锁相环工作原理完全一致,因此,只要环路中噪声定义正确,则该行为级模型能够高精度模拟一个数字锁相环的响应,其仿真结果和实测结果高度吻合^[12]。因此,为了验证上述理论分析,本文利用MATLAB语言,按照第3节所定义的性能参数,基于文献[12]的方法建立了数字锁相环的行为级模型。该行为级模型的伪代码如图7所示。

在该行为级模型中,4种噪声源的均方根值定义如下

$$\begin{cases} \sigma_{kk\text{rms}1} = \frac{\pi}{80} \sqrt{\frac{1}{12}} \\ \sigma_{kk\text{rms}2} = \frac{2\pi}{80} \sqrt{\frac{1}{12}} \\ \sigma_{kk\text{rms}3} = \sqrt{1/12} \\ \sigma_{kk\text{rms}4} = \sqrt{1/12} \end{cases} \quad (20)$$

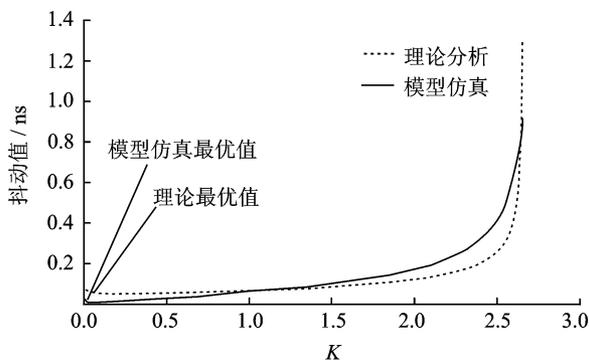
```

ADPLL parameters such as  $k_p$  are initiated;
for i = 2:npts % npts is the simulation numbers
    PFD outputs  $t_2-t_1$ ;
    nonlinear operation of the PFD;
    TDC quantizes the phase error where the quantization
    noise is modeled as  $n_3$ ;
    DLF outputs code based on the phase error where the
    quantization noise of the DLF is modeled as  $n_4$ ;
    DCO outputs the clock with the corresponding period;
    The period of the clock is adjusted by noise source  $n_1$ ;
    DIV generates the divided clock;
    calculate the next falling time  $t_1$  for reference clock;
    adjust the falling time  $t_1$  by noise source  $n_2$ ;
    calculate the next falling time  $t_2$  for divided clock;
end

```

图7 该行为级模型的伪代码

图8给出了数字锁相环抖动性能和环路增益 K 之间的关系。数字锁相环的输出抖动定义为分频时钟抖动的均方根值

图8 抖动输出($\kappa_1=0.5$)

从图8可知,理论分析结果和行为级模型仿真结果的趋势是一致的,理论分析所示的最优环路增益 K 为0.03,而模型仿真所示的最优环路增益 K 为0.02。但是两种方法计算的抖动数值之间存在着差异。理论计算结果和行为级模型仿真结果最大的抖动差异为150 ps,相当于参考时钟周期的1.2%。导致差异的原因主要有以下两种:(1)理论分析是基于线性系统理论推导的,它适用于数字锁相环小信号情况下。因此,两个结果最大的差异出现在环路增益 K 等于2.53的情况下,此时,锁相环已经接近失锁。(2)时间-数字转换器以及数控振荡器量化操作的非线性。在理论分析中,时间-数字转换器和数控振荡器的量化噪声被当作随机噪声处理。当环路中传递的信号幅度大小和量化噪声的幅度大小差不多时,量化噪声的非线性效应开始显现出来。这也导致了理论分析结果和行为级模型仿真结果

之间的偏差。

虽然理论计算结果和行为级模型仿真结果最大差异为150 ps,但是和参考时钟周期12.5 ns相比,误差在可以接受的范围之内。此外,对于最佳环路增益的预测,理论计算结果和行为级模型仿真结果也是相差无几。所以在对数字锁相环进行系统级设计时,仍然可以利用该理论分析方法对数字锁相环的抖动性能进行分析和预测,并指导数字锁相环环路参数的设计。

5 结束语

为了向航空设备提供高稳定度的时钟,本文针对时钟源的产生电路——数字锁相环提出了一种理论分析方法,该方法可以分析环路参数对数字锁相环抖动性能的影响,进而为设计高性能数字锁相环提供指导。为验证该理论分析,本文利用MATLAB语言搭建了数字锁相环的行为级模型。仿真结果表明,该方法可以明显改善抖动性能。此外,本文提出的理论分析方法可以扩展到其他阶数的数字锁相环。因此,本文对数字锁相环中数字滤波器参数的设计,以及基于锁相原理的闭环系统设计都有着一定的参考意义。

参考文献:

- [1] Wei Jinchun, Tang Jiqiang, Shen Feng. Beacon synchronization technology for "BEIDOU" terrestrial improvement system [J]. Transactions of Nanjing University of Aeronautics and Astronautics, 2005, 22(2): 177-182.
- [2] 侯慧娜, 王德合. 航空通信设备检测系统跳频信号源的设计[J]. 电子设计工程, 2010, 18(7): 110-112.
Hou Huina, Wang Dehe. Design of frequency-hopping signal source for airborne communication equipment test system [J]. Electronic Design Engineering, 2010, 18(7): 110-112.
- [3] Yang Bo, Su Yan, Zhou Bailing. New closed-loop driving circuit of silicon micromachined vibratory Gyroscope [J]. Transactions of Nanjing University of Aeronautics and Astronautics, 2005, 22(2): 150-154.
- [4] 陈亿, 袁安民. 一种高频低相噪频率合成器的设计[J]. 微计算机信息, 2008, 24(5/2): 293-294.
Chen Yi, Yuan Anmin. Design of a high frequency

- and low phase noise frequency synthesizer[J]. *Control & Automation*, 2008, 24(5/2): 293-294.
- [5] 何中一, 邢岩. 逆变器数字化控制关键技术[J]. *南京航空航天大学学报*, 2006, 38(3): 271-275.
He Zhongyi, Xing Yan. Digital control techniques for inverters[J]. *Journal of Nanjing University of Aeronautics & Astronautics*, 2006, 38(3): 271-275.
- [6] 何秀然, 李天亮, 谢寿生, 等. 航空发动机自整角机的数字化设计[J], *电机与控制学报*, 2006, 10(1): 14-17.
He Xiuran, Li Tianliang, Xie Shousheng, et al. Design of digital self-adjust angle transformer in the aero-engines [J]. *Electric Machines and Control*, 2006, 10(1): 14-17.
- [7] McCorquodale M S, Pernia S M. A 25 MHz all-CMOS reference clock generator for XO-replacement in serial wire interfaces [C] // *IEEE International Symposium on Circuits and Systems*. The Pristing Hous Inc; Seattle, 2008; 2837-2840.
- [8] Staszewski R B, Balsara P T. Phase-domain all-digital phase-locked loop[J]. *IEEE Trans Circuits Syst II, Exp Briefs*, 2005, 52(3): 159-163.
- [9] Kratyuk V, Hanumolu P K. A design procedure for all-digital phase-locked loops based on a charge-pump phase-locked loop analogy [J]. *IEEE Trans Circuits Syst II*, 2007, 54(3): 247-251.
- [10] Abidi A A. Phase noise and jitter in CMOS ring oscillators [J]. *IEEE Journal of Solid-State Circuits*, 2006, 41(8): 1803-1816.
- [11] Gardner F M. 锁相环技术[M]. 姚剑清, 译. 北京: 人民邮电出版社, 2007.
Gardner F M. *Phaselock Technique* [M]. Beijing: Posts & Telecom Press, 2007.
- [12] Syllaios I L, Staszewski R B, Balsara P T. Time-domain modeling of an RF all-digital PLL[J]. *IEEE Trans Circuits Syst II*, 2008, 55(6): 601-605.