

基于动态评价方法的多态电路进化设计

柏磊¹ 朱翔² 朱晓华¹

(1. 南京理工大学电子工程与光电技术学院, 南京, 210094; 2. 国电南瑞科技股份有限公司, 南京, 210061)

摘要:针对传统多态电路进化设计算法有效性问题,提出了基于动态评价方法的多态进化设计算法。在进化算法适应度评价阶段,利用适应度评价扩展对于不同模式下的电路分别进行评价,采用比较选择进行电路最优结构配置,防止了潜在解的丢失。将多态门与普通门混合使用,进行了Multiplier/Sorter及Majority/Parity两种多态电路的进化设计实验。实验结果表明,与传统多态电路进化算法相比所提算法进化代数减少了31.2%~77.7%,成功概率提高了11%~52%,具有进化迭代次数少、成功概率高的优势,提高了算法有效性。

关键词:多态电路;进化设计;动态评价

中图分类号:TP18;TN702

文献标识码:A

文章编号:1005-2615(2012)04-0354-06

Evolutionary Design of Polymorphic Circuits Based on Dynamic Evaluation Method

Bai Lei¹, Zhu Xiang², Zhu Xiaohua¹

(1. School of Electronic and Optical Engineering, Nanjing University of Science and Technology, Nanjing, 210094, China;

2. NARI Technology Development Co., Ltd., Nanjing, 210061, China)

Abstract: To deal with the problem of the effectiveness of the traditional evolutionary design algorithm for polymorphic circuits, a new design algorithm based on dynamic evaluation method is proposed. The fitness evaluation expansion is presented to separately evaluate the circuit under different modes, while the comparison and selection is used to configure the optimal structure of the circuit in the stage of fitness evaluation, thus the loss of potential solution is avoided. The evolutionary design experiments for Multiplier/Sorter and Majority/Parity circuits are conducted by combining the polymorphic gate with conventional gate. The experimental results show that compared with the conventional algorithm, the iterations of evolution is decreased by 31.2%—77.7% and the success probability is increased by 11%—52%. The proposed algorithm has the less iterations and the higher probability of success, thus a better effectiveness.

Key words: polymorphic circuits; evolutionary design; dynamic evaluation

传统多功能电路利用选择器或者开关选择实现不同功能的电路,由于不同电路之间没有资源的共享,因此随着电路功能的增多以及复杂度的提高电路资源消耗将迅速增加^[1]。多态电子学及多态电路^[2]的概念由Stoica等提出,并被广泛应用于低功

耗可重构系统^[3]、电路自动诊断测试^[4]、隐藏功能实现及智能传感器设计^[2]等领域。多态电路作为一种非传统意义的多功能电路,能够在不改变电路结构的前提下通过感知外部环境的变化(如温度、光照、电压等)自适应地改变电路的功能,节约电路资

项目资助:南京理工大学自主科研专项计划(20110ZYTS028)资助项目;南京理工大学科研启动基金资助项目。

收稿日期:2011-11-04;修订日期:2012-01-15

通讯作者:朱晓华,男,教授,博士生导师,1966年出生,E-mail:zxh@mail.njust.edu.cn。

源。作为一种内部演化技术^[5],多态电路与传统演化硬件(Evolvable hardware, EHW)^[6-7]相比不需要可重构步骤,却能实时对环境变化给予响应,具有较好的低功耗自适应特性^[3]。多态电路利用多态门实现对外部控制信号变化的响应,例如目前已经得到物理实现的多态NAND/NOR门在电压为3.3 V时实现逻辑与功能,在电压为1.8 V时实现逻辑或功能^[8]。

由于多态电路设计复杂度高,用传统设计方法几乎无法实现,目前主要是基于可编程逻辑器件(如Field programmable gate array, FPGA)利用进化方法进行设计^[9]。进化设计方法基于非定向的全局搜索算法,一方面算法在搜索过程中允许功能不正确的中间结果存在,另一方面算法的选择压力使得进化过程能够朝着搜索空间的优势区域发展。与传统设计方法相比,进化方法的生成-测试机制能够搜索更大的设计空间,可以获得更加新颖和有效的电路结构。笛卡尔遗传规划(Cartesian genetic programming, CGP)^[10]采用与FPGA的查找表结构相匹配的表达形式并且在进化过程中能够获得更加精简的电路,已经被广泛应用于多态电路进化设计中^[1,11-15]。文献[1,11,12]通过仿真发现将多态门和普通门混合使用设计多功能电路是一种有效的多态电路设计方法,并利用具有NAND/NOR功能的多态门设计出了多种多态电路,最终通过多态REPOMO32芯片实现了多态电路内部进化。文献[13]在没有添加任何辅助电路的情况下,利用多态电路设计出了具有自检功能的一位全加器并完成了物理实现。然而文献[1,11,13]中采用的经典CGP方法在电路进化复杂度逐步增加后进化有效性不断降低,扩展性能较差。文献[14,15]针对该问题,通过组合传统电路综合方法和CGP方法提高了多态电路设计有效性和可扩展性。然而以上文献均采用固定适应度评价方法,忽略了CGP方法在适应度评价阶段容易丢失潜在解的缺点,这将造成算法迭代次数过多、成功概率低,降低了进化方法的有效性。针对该问题,文献[16]采取适应度评价扩展方法用于常规门级电路进化设计,避免了潜在解的丢失。然而多态电路是一种多功能电路,该方法无法直接应用于多态电路进化设计。

针对上述问题,本文提出了一种基于动态评价方法的多态电路进化设计算法。在CGP适应度评价阶段,对于不同模式下的电路利用适应度评价扩展得到对应的最优输出位,接着采用比较选择最优输出决定多态电路最终的结构配置,避免了最优解丢

失,减少算法迭代次数,提高成功概率,从而提高了算法有效性。仿真实验验证了所提方法的有效性。

1 基于动态评价方法的多态电路进化设计

1.1 多态电路设计问题模型

P 代表一组多态门,每一个多态门都可以通过有 K 个值的控制信号实现 K 种不同的功能 f_1, \dots, f_k 。当控制信号的第 j 个值被激活后,多态门工作在模式 j 下。本文中多态门定义为 $X_1/X_2/\dots/X_k$,其中 X_i 表示该多态门的第 i 种功能。例如,NAND/NOR表示在模式1下实现NAND功能,在模式2下实现NOR功能的多态门。即使某些多态门的功能不足 K 个,所有模式下的功能也必须完整定义。例如,普通NAND门在多种模式下均实现同一种功能,因此定义为NAND/NAND/ \dots /NAND。多态电路可以表示为 $G=(V, E, \phi)$, V 表示一组节点, E 表示节点之间的边集即 $E=\{(a, b) | a, b \in V\}$, ϕ 将多态门的功能映射给每个节点,即 $\phi: V \rightarrow P$ 。实际上, V 和 E 分别模拟各个门及门之间的连接关系,只有所有门都工作在第 j 个模式下时该电路才工作在第 j 个模式下。多态门级电路设计问题可以归纳如下:对于能够满足在模式 $1, \dots, K$ 下完成功能 f_1, \dots, f_k 的数字电路,找出能够表达该电路的图解 G 。此外,对于多态电路设计而言其他条件也可以纳入设计要求,例如最小延迟、功耗等。

1.2 笛卡尔遗传规划

英国沃克大学的Miller教授在1997年提出了一种数字电路进化设计方法^[17],并于2000年将该方法正式命名为CGP^[18]。CGP中程序以二维直接型非循环图表(C 行 L 列,共 $G=C \times L$ 个节点)的形式表达,每个节点均完成一种特定功能,其组成基因分别代表该节点的功能和输入来源。其中表示功能的基因代表功能查找表中对应功能的地址,称作功能基因 F_i ;其余基因用于表示该节点的输入信号来源,即节点在二维阵列中的地址,称作连接基因 $C_{i,j}$ 。每个节点以前馈形式获得输入信号,即输入来自于二维节点阵列前 K 列的节点输出或者是程序输入(也称作终端输入),其中 K 称为前馈级数,用于控制节点所能选取的输入来源前馈列数。节点的连接基因个数取决于功能查找表中对应功能的最大输入个数 n ,那么每个节点的编码可以表示为 $[F_i, C_{i,0}, C_{i,1}, \dots, C_{i,n-1}]$ ($0 \leq i \leq G-1$)。基因型的末端基因用于表示程序的输出来源。程序终端输入地址定义为 $0 \sim (n_i-1)$, n_i 为终端输入个数。基因

型中每个节点的地址(即每个节点的输出地址)按顺序定义为 n_i 到 n_i+G-1 。如果程序有 n_o 个输出,则基因型末端将添加 n_o 个整数用于表示输出来源,称作输出基因 $O_i(0 \leq i \leq n_o-1)$,每个输出基因表示程序输出来源节点的地址。需要注意的是,同一列节点互相是禁止连接的。由上述定义可得CGP基因型表达如下

$$F_0 C_{0,0} \cdots C_{0,n-1} F_1 C_{1,0} \cdots C_{1,n-1} \cdots F_{G-1} C_{G-1,0} \cdots C_{G-1,n-1} O_0 O_1 \cdots O_{n_o-1} \quad (1)$$

CGP的直接型图表结构如图1所示,该电路采用3行3列($C \times L = 3 \times 3$)的节点阵列,0~3为程序输入,节点地址为4~12,程序输出分别来自于节点4、9和12的输出。

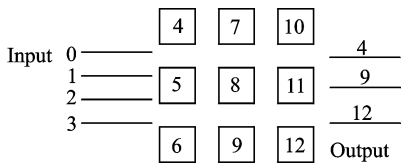


图1 CGP直接型图表结构

1.3 动态评价方法

多态电路进化设计与普通数字电路进化设计不同之处在于,一个电路结构下要同时对多种功能进行评价,因此只有所有功能均正确实现时电路设计才完成。传统进化方法在适应度评价阶段对输出位所对应的节点进行评价,以此作为对该个体(染色体)的评价标准。然而固定了输出位后,算法会忽略包含在其他节点中的潜在解,使得算法不能正确的对染色体进行评价,造成潜在解在进化过程中的丢失。针对多态电路的特点,本文首先采用文献[16]中所提适应度评价扩展方法对于多态电路不同模式下的电路分别进行评价,得到对于不同模式各自的最优输出位(因此也就有不同的电路结构),接着提出了一种比较选择输出位的方法选择多态电路最终电路结构。该方法对进化过程中所产生不同模式下电路的输出位进行比较选择,从而保证每一代得到的染色体对于电路的多种功能模式来说适应度是最高的。通过上述方法避免了多态电路适应度评价阶段潜在解的丢失。在整个评价过程中,不同模式下输出位的评价选择以及多态电路最终输出位的评价选择均是动态的,因此将整个评价方法称为动态评价方法。

具有两种模式的多态电路比较选择过程如下:

步骤1 将多态电路中所有门设置在第一种模式下,并利用适应度评价扩展方法计算电路适应度值 f_1 ,此时对于模式1来说是完全评价;

步骤2 将多态电路中所有门功能设置在第二种模式下,利用模式1下产生的电路结构得到模式2下的适应度值 f_2 ,此时对于模式2来说并不一定是完全评价;

步骤3 计算多态电路适应度评价价值 $F_1 = f_1 + f_2$;

步骤4 重复步骤1到步骤3的过程,只是先评价模式2,并利用模式2下产生的电路结构进行模式1的评价,得到 $F_2 = f_1' + f_2'$;

步骤5 多态电路适应度评价价值 $F = \max(F_1, F_2)$,每次均通过比较选择对于两种功能来说适应度最高的电路配置,比较选择完成。

1.4 算法流程

CGP采用 $(1+\lambda)$ 进化策略进行电路的进化,种群大小为 $1+\lambda$ 。基于动态评价方法的多态电路进化设计算法流程如下:

步骤1 随机生成 $1+\lambda$ 个个体组成初始种群,通过动态评价方法得到种群中的最优个体;

步骤2 对父代最优个体进行点变异操作,生成 λ 个子代个体;

步骤3 最优个体和生成的 λ 个子代组成新的种群;

步骤4 分别对新种群中的个体采用动态评价方法得到适应度值;

步骤5 使用如下方法得到新种群中的最优个体:

(1) 如果子代的染色体具有相对较高的适应度,则子代作为最优个体;

(2) 如果子代的染色体与父代染色体具有相同的适应度,则选择子代作为最优染色体进入下一代,以保证种群的多样性;

(3) 其他情况下,父代染色体作为最优个体。

步骤6 回到步骤2直到获得问题的解或者达到最大进化代数。

2 仿真实验与分析

Multiplier/Sorter和Majority/Parity多态电路的进化设计目前广泛被用于验证进化方法的有效性^[1,11-12]。前者完成乘法器和排序器功能,后者完成投票器和偶校验器功能。参考文献[1,11,12]的电路规模选择,本文针对两种多态电路分别选取了输入输出个数由低到高的3种电路,Multiplier/Sorter的输入分别为 2×2 位(4输入4输出)、 3×2 (5输入5输出)及 3×3 位(6输入6输出);Majority/Parity的输入分别为7位(7输入1输出)、9位

(9输入1输出)及11位(11输入1输出),随着输入输出个数的增加设计复杂度逐渐增大。实验参数及条件的设置参照文献[1,11,12],并将NAND/NOR多态门和普通门混合使用设计门级多态组合电路。仿真实验中种群大小为15,最大进化代数 10^6 ,每个实验均独立进行50次蒙特卡洛仿真,当进化设计所得电路功能完全正确或者达到最大进化代数时进化过程结束。功能查找表中所使用门种类如下:(1)NAND/NOR;(2)AND;(3)OR;(4)XOR;(5)NAND;(6)NOR;(7)NOT A;(8)NOT B;(9)MOV A;(10)MOV B。其中,MOV定义为等于操作。目前,针对CGP阵列结构的定义普遍采用的是 $C=1$ 的设置,即一行多列的情况。同时,使前馈级数 K 为最大,即某一个单元的输入可以来自于任意前级单元的输出或者电路外部输入,这样可以获得更优的结果,本文采用的也是这种结构。针对每个电路设计具体的仿真参数设置如表1和表2所示,并将本文方法与文献[1,11~15]中所用经典CGP方法进行了比较。实验所用计算机配置为Intel core2 CPU 2.4 GHz,内存为DDR2 2 GB。

实验结果如表1和表2所示,方法1代表本文方法,方法2为文献[1,11~15]中所用经典CGP方法。随着电路输入输出位数增加,本文方法与方法2相比在Multiplier/Sorter设计中得到成功解时算法运行代数分别减少50.8%,50.8%和77.7%,在Majority/Parity试验中分别减少46.4%,

31.2%和34%。经典CGP方法进行设计时,表1中Multiplier/Sorter成功概率由100%降至78%,表2中Majority/Parity成功概率由100%降至50%,算法有效性下降非常迅速。而随着电路进化复杂度的增加,本文方法成功概率依然较高,与方法2相比分别提高了11%~52%。通过生成电路门个数对比可知,两种方法基本相同。由两种方法性能的对比可知,随着设计电路输入输出的增加本文方法受进化复杂度加大的影响较小,能够保持较好的有效性,增强了CGP方法的可扩展性。文献[14,15]通过将传统综合方法与CGP结合提高了设计方法可扩展性,本文并未与该方法直接进行对比,而是从提高CGP方法有效性入手进行研究,在本文方法基础上可以进一步提高文献[14,15]方法的性能。

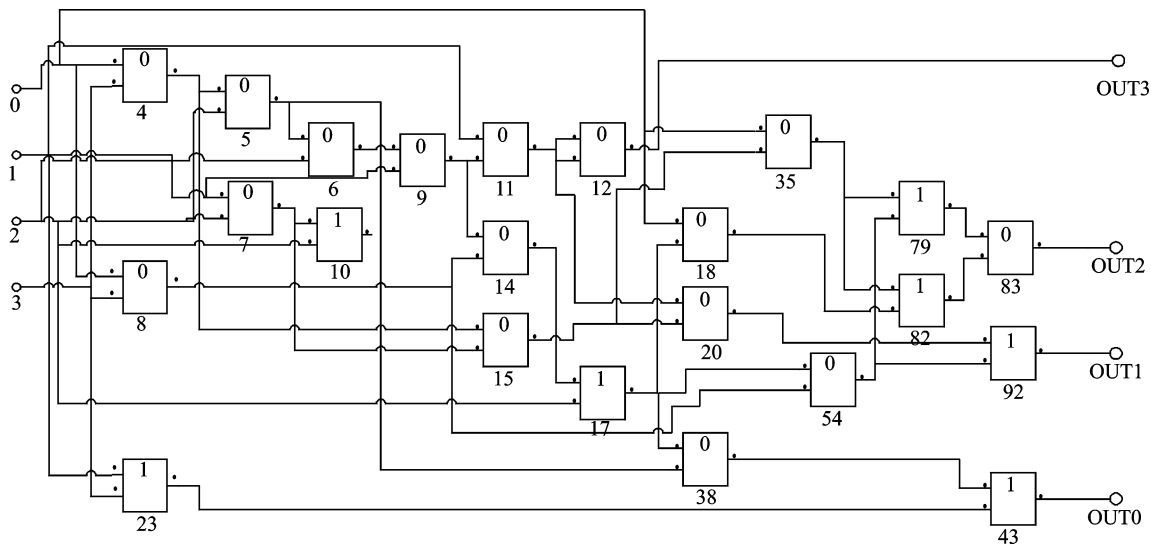
图2为利用本文方法设计的一个 $2 \times 2/4$ b Multiplier/Sorter多态电路,各逻辑门内的编号定义了该逻辑门的功能(0代表NAND/NOR多态门,1代表普通AND门),逻辑门下方为该门的地址。该电路由23个门组成,其中17个为NAND/NOR多态门,6个为NAND门。逻辑门12实际上是一个冗余(两个输入均来自逻辑门11),因此实际只需要22个逻辑门就可以完成多态 $2 \times 2/4$ b Multiplier/Sorter功能。目前已知利用传统选择器方法设计的多功能电路最少需要33个门才能完成电路功能^[1],利用多态电路进化设计方法节省了电路资源的消耗。

表1 Multiplier/Sorter 实验参数及结果

| Multiplier/Sorter | $2 \times 2/4$ b | | $3 \times 2/5$ b | | $3 \times 3/6$ b | |
|-------------------|----------------------|----------------------|----------------------|----------------------|------------------|----------------|
| | 方法1 | 方法2 | 方法1 | 方法2 | 方法1 | 方法2 |
| $C \times L$ | 1×100 | 1×100 | 1×100 | 1×100 | 1×120 | 1×120 |
| 前馈级数 | 100 | 100 | 100 | 100 | 120 | 120 |
| 变异概率 | 1 | 1 | 2 | 2 | 2 | 2 |
| 门种类设置 | (1),(2), (9),(10) | (1),(2), (9),(10) | (1)~(4), (9),(10) | (1)~(4), (9),(10) | (1)~(10) | (1)~(10) |
| 成功运行次数/% | 100 | 100 | 100 | 100 | 100 | 78 |
| 运行代数 | 50 817 | 103 327 | 469 393 | 954 184 | 6 760 244 | 30 356 833 |
| 使用门个数 | 37.7 | 37.8 | 52.4 | 51.7 | 69 | 71.1 |

表2 Majority/Parity 实验参数及结果

| Majority/Parity | 7 b | | 9 b | | 11 b | |
|-----------------|---------------|---------------|----------------|----------------|----------------|----------------|
| | 方法1 | 方法2 | 方法1 | 方法2 | 方法1 | 方法2 |
| $C \times L$ | 1×80 | 1×80 | 1×120 | 1×120 | 1×120 | 1×120 |
| 前馈级数 | 80 | 80 | 120 | 120 | 120 | 120 |
| 变异概率 | 3 | 3 | 3 | 3 | 3 | 3 |
| 门种类设置 | (1)~(10) | (1)~(10) | (1)~(10) | (1)~(10) | (1)~(10) | (1)~(10) |
| 成功运行次数/% | 100 | 100 | 100 | 90 | 76 | 50 |
| 运行代数 | 411 052 | 766 362 | 3 276 509 | 4 762 745 | 5 378 270 | 8 145 890 |
| 使用门个数 | 27.5 | 33.1 | 44.3 | 43.3 | 64.5 | 64.3 |

图2 $2 \times 2/4$ b Multiplier/Sorter 电路

3 结束语

多态电路在一个电路结构下能够实现多种功能,且功能的转换是由外部控制信号下电路中多态门功能的改变来实现的,与传统多功能电路相比能够节约电路资源,同时对于无需可重构步骤实现演化硬件具有较大的应用价值。本文提出的基于动态评价方法的多态电路进化设计算法,采用适应度评价扩展方法对候选电路进行全面完整的评价,通过比较选择进行电路结构的最优配置,解决了传统多态电路进化算法容易丢失潜在解的缺点。仿真实验结果表明,本文方法具有迭代次数少、成功概率高等优势,提高了经典CGP方法的有效性。

参考文献:

[1] Sekanina L, Starecek L, Kotasek Z, et al. Polymorphic gates in design and test of digital circuits[J]. *International Journal of Unconventional Computing*, 2008, 4(2): 125-142.

[2] Stoica A, Zebulum R S, Kyemeulen D. Polymorphic electronics[C]// 1st Conference on Evolvable Systems: From Biology to Hardware. Heidelberg, Germany: Springer Verlag, 2001: 291-302.

[3] Ruzicka R. On bifunctional polymorphic gates controlled by a special signal[J]. *WSEAS Transactions on Circuits and Systems*, 2008, 7(3): 96-101.

[4] Mashayekhi M, Ardakani H H, Omidian A. A new efficient scalable bist full adder using polymorphic gates[J]. *Proceedings of World Academy of Science*,

Engineering and Technology, 2010, 61: 283-286.

[5] Wang J, Chen Q S, Lee C H. Design and implementation of a virtual reconfigurable architecture for different applications of intrinsic evolvable hardware[J]. *IET Computers & Digital Techniques*, 2008, 2(5): 386-400.

[6] Lohn J D, Hornby G S. Evolvable hardware: Using evolutionary computation to design and optimize hardware systems[J]. *IEEE Computational Intelligence Magazine*, 2006, 1(1): 19-27.

[7] Sekanina L. Evolvable hardware: from applications to implications for the theory of computation[C]// 8th International Conference on Unconventional Computation. Heidelberg, Germany: Springer Verlag, 2009: 24-36.

[8] Stoica A, Zebulum R S, Guo X, et al. Taking evolutionary circuit design from experimentation to implementation: some useful techniques and a silicon demonstration[J]. *Computers and Digital Techniques*, 2004, 151(4): 295-300.

[9] Luo W, Zhang Z, Wang X. Designing polymorphic circuits with polymorphic gates: a general design approach[J]. *IET Circuits, Devices & Systems*. 2007, 1(6): 470-476.

[10] Miller J F, Harding S L. Cartesian genetic programming[C]// 12th Annual Conference Companion on Genetic and Evolutionary Computation. New York, USA: ACM, 2010: 2927-2948.

[11] Sekanina L. Evolutionary design of gate-level polymorphic digital circuits[C]// Applications of Evolutionary Computing. Heidelberg, Germany: Springer

- Verlag, 2005: 185-194.
- [12] Sekanina L, Ruzicka R, Vasicek Z, et al. RE-POM32-New reconfigurable polymorphic integrated circuit for adaptive hardware[C]//IEEE Workshop on Evolvable and Adaptive Hardware. Nashville, Piscataway, USA: IEEE, 2009:39-46.
- [13] Ruzicka R, Sekanina L, Prokop R. Physical demonstration of polymorphic self-checking circuits[C]//14th IEEE International On-Line Testing Symposium. Piscataway, USA: IEEE, 2008: 31-36.
- [14] Gajda Z, Sekanina L. Gate-level optimization of polymorphic circuits using Cartesian Genetic Programming [C] // IEEE Congress on Evolutionary Computation. Piscataway, USA: IEEE, 2009:1599-1604.
- [15] Gajda Z, Sekanina L. On evolutionary synthesis of compact polymorphic combinational circuits [J]. Journal of Multiple-Valued Logic and Soft Computing, 2011, 1(1): 25.
- [16] 柏磊, 顾陈, 严璐, 等. 基于适应度评价扩展自适应遗传算法的门级电路进化设计[J]. 南京理工大学学报, 2011, 35(2): 240-244.
- Bai Lei, Gu Chen, Yan Lu, et al. Evolutionary design of gate-level circuits based on fitness evaluation expansion adaptive genetic algorithm[J]. Journal of Nanjing University of Science and Technology, 2011, 35(2): 240-244.
- [17] Miller J F, Thomson P, Fogarty T. Designing electronic circuits using evolutionary algorithms. Arithmetic circuits: A case study[C]//Proceedings of the Fourth International Conference on Applications of Computer Systems. Szezeccin, Poland: [s. n.], 1997: 232-239.
- [18] Miller J F, Thomson P. Cartesian genetic programming[C]//Proceedings of the 2008 GECCO Conference Companion on Genetic and Evolutionary Computation. New York, NY, USA: ACM, 2008: 2701-2726.