

## 基于时间触发的精简串行总线技术

吕富勇<sup>1,2</sup> 李永新<sup>1</sup> 卜雄洙<sup>1</sup> 于葛亮<sup>1</sup> 蒋杏国<sup>1</sup>

(1. 南京理工大学机械工程学院, 南京, 210094; 2. 南京信息工程大学信息与控制学院, 南京, 210044)

**摘要:**针对事件触发机制应用到小型分布式测试系统中,存在控制命令复杂、需要主控制器的不足,提出一种基于时间触发的精简串行总线技术。详细分析总线系统的组成、信号线定义、总线系统基本特征、数据格式以及总线系统的时分多路访问(Time division multiple access, TDMA)通信控制机制。重点介绍时间触发功能的TDMA时序管理机的实现方法,进行基于硬件描述语言Verilog-hdl的软件设计,并进行仿真。仿真结果显示,TDMA时序管理机可实现系统多节点时槽分配管理功能,采用该时序管理机有利于实现基于时间触发的总线控制方案、构建小型分布式测试系统。

**关键词:**时间触发; 串行总线; 精简总线

**中图分类号:** TJ410.6      **文献标识码:** A      **文章编号:** 1005-2615(2011)04-0544-07

## Simplified Serial Bus Based on Time-Triggered Architecture

Lü Fuyong<sup>1,2</sup>, Li Yongxin<sup>1</sup>, Bu Xiongzhū<sup>1</sup>, Yu Geliang<sup>1</sup>, Jiang Xinguo<sup>1</sup>

(1. School of Mechanical Engineering, Nanjing University of Science and Technology, Nanjing, 210094, China;

2. Department of Information and Communications Technologies, Nanjing University of Information Science and Technology, Nanjing, 210044, China)

**Abstract:** Applying event-triggered method in the small scaled distributed test system exposes its defect of complicated control and shortage of a main processor. Simplified serial bus based on time-triggered architecture is proposed. The composition of the bus system, the definitions of the bus signal line, the basic characteristics of the bus system, the data format and the time division multiple access (TDMA) communication control mechanism are carefully analyzed. The method of how to realize the TDMA time management machine based on time-triggered architecture is introduced. And the software based on the hardware description language Verilog-hdl is designed. Simulation and the results show that the TDMA time management machine realizes the function of time slot allotment management. With the time management machine, the bus control design based on time triggered architecture can be easily carried out, and a brief effective small scaled distributed test system can be constructed.

**Key words:** time-triggered; serial bus; simplified bus

由于采用总线技术组建分布式测试系统能简化系统结构,方便模块化设计,宜于数据共享,具有较好的系统兼容性和开放性,便于实现系统的标准化设计,降低系统成本。因此,在测控领域获得了广泛应用。

目前,解决总线上各单元共享总线所带来的竞

争问题,主要有事件触发机制和时间触发机制<sup>[1-2]</sup>。事件触发机制主要采用命令应答的集中式控制方式,利用专门的总线主控制器来管理总线的使用。这使得系统复杂化,而且存在单点失效隐患,可靠性变差。时间触发机制中所有的控制操作是用预先规定的方式实现且在指定的时间段中执行,具有很

**基金项目:** 国防基础科研资助项目。

**收稿日期:** 2010-07-01; **修订日期:** 2010-09-21

**通讯作者:** 吕富勇,男,工程师,1974年10月生, E-mail: lvfuyong@mail.njust.edu.cn。

强的定时和周期特征,所以能够避免过载事件发生,且能有效地减少各种不必要的资源开销。此外,时间触发机制中通常采用分散式控制的实现方式,总线控制逻辑分布在各单元之中,系统可靠性较高。

对于许多小型分布式测控场合,如弹丸的全程弹道参数测试,这类系统在测试工作的全过程中,弹丸完全工作在预设的确定时间的数据采集状态,一般不会改变系统的工作状态。如采用事件触发机制控制,则需要构建复杂的控制命令;以命令应答的方式工作,这将导致系统控制复杂,不利于精简设计。为此,本文针对这类应用场合的特点,设计一种基于时间触发的精简串行总线技术,通过事先合理规划,将系统功能安排到各节点中,并事先规定各节点的数据流向,设定确定的节点收发状态和节点的通信时槽。工作时,各节点完全按照各自内部事先配置的命令控制节点数据的收发,无需外部控制命令干预,从而达到精简系统控制、简化总线协议,构建简洁高效的小型分布式测控系统的目的。当然,在实际应用中,如需改变节点的收发状态,也可以通过事先预定义几种可能的节点时槽和节点收发状态分配的配置方案,在需要时启动合适的配置方案,从而利用系统的动态重配置的方式,切换系统各节点的时槽和收发状态实现系统功能。

## 1 总线系统组成

完整的总线系统由若干接收节点、若干发送节点以及一个初始配置节点组成,所有节点通过精简总线相连,系统组成如图1所示。接收节点主要是按照系统初始配置的模式,接收总线传输数据。典型的接收节点如遥测节点和存储测试节点,应用时可按需构建。发送节点主要是按照系统设定模式,获取数据,并将数据按时传送到总线。典型的发送节点是各种功能的采编节点。初始配置节点一方面通过精简总线与总线上系统各节点通信,另一方面,通过成熟总线如USB总线实现与上位机之间的通信,从而实现系统各功能节点的初始化设置及测试系统的功能自检。为减小测控系统体积使其能应用于体积严格受限的弹丸等小型场合,将初始配置节点设为独立模块,仅在初始设置或系统自检时才挂接到精简串行总线上进行通信,而正常工作时,无需挂接该节点。

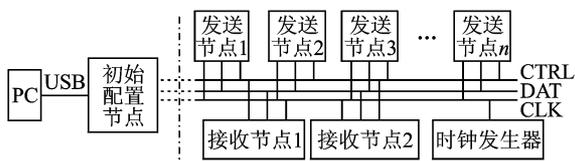


图1 系统总体组成

总线系统有CLK、DAT及CTRL 3个信号线,信号线定义如下。

(1)CLK是时钟发生器到系统所有节点的单向信号,起同步作用。规定在时钟上升沿发送数据,下降沿接收数据。

(2)DAT是各节点之间的双向数据信号线,工作于半双工方式,负责系统数据传输。

(3)CTRL是各节点之间的双向控制信号线,工作于半双工方式,负责在数据传输时实现字节同步。

信号线连接选择采用符合TIA/EIA-899(M-LVDS)标准的平衡型双线传输的电气连接规范,收发器是差分工作方式,抗共模干扰的能力强,且具有LVDS的高速、超低功耗、低噪声和低成本的优良特性<sup>[3-4]</sup>。

## 2 总线协议

### 2.1 总线系统基本特征

(1)串行、双向、同步数据传输。

(2)时钟频率2 MHz,由各接口内置锁相环(Phase-locked loops, PLL)进行倍频获取所需频率。

(3)采用双沿触发,总线协议不限制总线数据的最高传输速率。总线数据最高传输速率主要由硬件传输速率决定,具体来说,一方面受多点差分总线接口芯片的传输速率限制,如TI公司的传输速率最高的多点差分接口芯片SN65MLVD201D,传输速率200 Mbps;另一方面,受现场可编程门阵列(Field-programmable gate array, FPGA)内置PLL最高输出频率限制。目前,只有ACTEL公司的FPGA能实现2 MHz时钟输入,其内置PLL最高输出频率350 MHz。

(4)多节点结构:多节点分时共享总线,无总线竞争,节点间无优先级。协议中不限制节点个数,节点个数受总线接口驱动器的驱动能力限制。

(5)非集中控制,采用基于时分多路访问(Time division multiple access, TDMA)的时间触发控制方式,分时多路复用传输。对多个数据发送节点的数据采用彼此错开的独立时间槽进行传输,从而实现系统任意设备间的相互信息交换。隐含寻址功能,消息内无需地址字段;采用消息描述表的静态配置控制替代常规命令/响应式控制,取消了消息内的命令、应答包,进一步减少了消息结构的复杂性和开销<sup>[5-8]</sup>。

(6)3种工作模式:①初始配置模式是指通过初始配置节点,将上位机为系统各节点制定的消息

描述表转发到总线系统各节点中的过程;②正常工作模式指总线系统按照初始配置的状态运行,实现系统功能的过程;③自检模式指总线系统通过初始配置节点,将各节点的节点号上传到上位机,从而实现检测总线系统工作状态的目的。

(7)总线数据传输方式不同的工作模式,总线系统的数据传输方式不同。①初始配置模式:总线系统工作在单点分时多点传播方式,即由初始配置节点作为系统唯一的发送节点,其余待配置节点均作为接收节点,发送节点分时和多个接收节点逐一进行信息传输。②正常工作模式:总线系统工作在多点分时广播方式,即系统各发送节点逐一分时和指定的数个接收节点进行信息传输。③自检模式:总线系统工作在多点分时单点传播方式,是由多个发送模块逐一分时和某一个指定的接收模块进行信息传输。

## 2.2 数据格式

总线传输的基本信息称为字,因物理层传输的信息块在小的、预定的时间窗口下传输受干扰概率低,更能确保它的可靠性和完整性,也更有利于同步传输系统的同步,本总线系统将8个时钟周期定义为1个字周期。

总线系统定义两种类型的字:命令字和数据字。为提高通信效率,简化协议,命令字和数据字分开传输。数据字由DAT数据线传输,数据字中无需添加同步码等附加信息,数据字的同步由CTRL线发送的字同步命令实现同步。命令字由CTRL控制信号线传输,用于字同步和控制系统状态切换。命令的解析完全由总线接口中的命令状态机通过侦听CTRL信号获取命令,即采用硬件方式实现,无需通过构建特殊数据字来传达命令信息。

主要命令字有图2所示的几种格式。

主要命令字有:

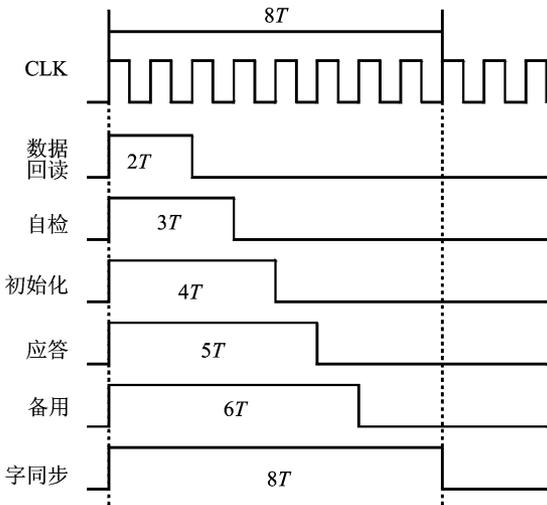


图2 命令字格式

(1)初始化命令字 高电平宽度 $4T$ ,低电平宽度 $4T$ 的信号;

(2)正常工作命令字 高电平宽度 $6T$ ,低电平宽度 $2T$ 的信号;

(3)备用命令字 高电平宽度 $5T$ ,低电平宽度 $3T$ 的信号;

(4)字同步命令字 高电平宽度 $8T$ 的信号。

命令字主要包括初始化命令字、正常工作命令字、备用命令字及字同步命令字4种格式。初始化命令字及正常工作命令字在状态切换状态有效,且只能由初始配置节点发送。在正常工作状态,这些命令字就不再有效。字节同步命令字负责数据字的同步,该命令字在启用数据总线进行数据传输时,由数据发送节点发送。备用命令字是为扩展总线功能时,按需扩展使用。如扩展为应答命令字。

## 2.3 通信控制

总线系统采用基于TDMA的时间调度机制,把整个总线传输时间按发送节点个数划分为多个长度不等的时槽,且为每个发送节点都分配固定的周期性的时间槽<sup>[9-10]</sup>。所有发送节点均发送过一次的时间槽系列组成一个TDMA轮,一个TDMA轮即为一个数据交换周期。数据交换周期满足如下关系式

$$T_{\text{round}} = t_{\text{slot1}} + t_{\text{gap1}} + t_{\text{slot2}} + t_{\text{gap2}} + \dots + t_{\text{slotn}} + t_{\text{gapn}}$$

其中: $T_{\text{round}}$ 为一个数据交换周期; $t_{\text{slot1}}$ 为第1节点的时槽; $t_{\text{gap1}}$ 为1、2节点间的时隙; $t_{\text{slot2}}$ 为第2节点的时槽; $t_{\text{gap2}}$ 为2、3节点间的时隙; $t_{\text{slotn}}$ 为第 $n$ 节点的时槽; $t_{\text{gapn}}$ 为 $n-1$ 、 $n$ 节点间的时隙。

系统根据时槽分配情况为每个节点构建控制调度数据表,在调度表的控制下,使得在任意时刻总线中只有一个发送节点和多个接收节点,当某个节点的时间槽到来时,该节点将成为消息发送节点,此时其余节点都是接收节点,该节点会根据消息发送的时间和自己调度表中规定的消息到达时刻相对照,实现规定的总线操作。同样,其余节点也是在自己的时间槽内进行消息发送,如此周而复始实现总线功能。由于只有在所分配的时槽内该节点才能传输消息,这样便消除了网络中各节点间的访问冲突。

调度表是在系统投入运行前定义的,在运行时不能更改,一般存储在闪存或电可擦可编程只读存储器中。调度表中可包含多种不同的模式,每种模式分别对应于一种特定的调度表,在不同的模式下,节点使用个数不同,组建的TDMA轮不同。

由3个发送节点、2个接收节点及1个初始配置节点构成的总线系统,在3种工作模式下,时间触发系统的配置及运行情况如下。

(1) 正常工作模式下,总线系统工作于多点分时广播方式,总线组成及时间触发控制工作时序运作如图3所示。

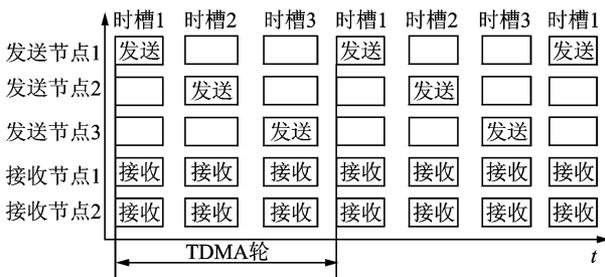


图3 正常工作模式下各节点时槽及收发状态分配图

该模式下,3个发送节点是数据发送方需要各自独立的时槽,2个接收节点为数据接收方同时共享接收所有发送方的数据。一个TDMA轮根据发送需要分配为3个时槽,每一时槽安排一个发送方,假设2个TDMA轮组成一个机群周期。系统根据3个发送节点的采集编帧情况,确定每个时槽的长度并为每个节点安排固定的周期时槽,节点1安排时槽1进行发送,节点2安排时槽2进行发送,节点3安排时槽3进行发送。2个接收节点同时接收全部3个时槽数据。

(2) 初始化模式下,总线系统工作于单点分时多点传播方式,总线组成及时间触发控制工作时序运作如图4所示。

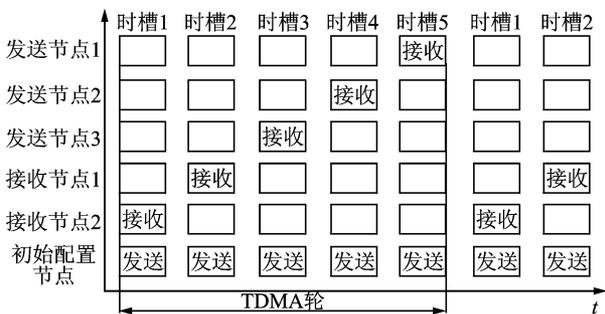


图4 初始化模式下各节点时槽及收发状态分配图

该模式下,只有初始配置节点是数据发送方,其余节点均为数据接收方,因每个节点从初始配置节点接收的数据不同,为此需要独立占用时槽,进行接收。因此,一个TDMA轮根据接收需要分配为5个时槽,使得每一时槽只有一个数据发送方和一个接收方。为简化设计,针对初始化模式,全部时槽采用统一长度,即所有节点均分通信时长,并为每个节点安排固定的周期时槽。初始配置节点负责在每个节点的通信时槽内发送相应节点的初始化数据。

(3) 自检模式下,总线系统工作于多点分时单点传播方式,总线组成及时间触发控制工作时序运作如图5所示。

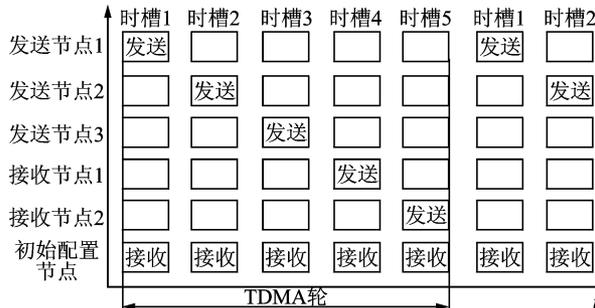


图5 自检模式下各模块时槽及收发状态分配图

该模式下,只有初始配置节点是数据接收方,其余节点均为数据发送方,所有数据发送方均需独立的时槽,因此,一个TDMA轮根据发送需要分配为5个时槽,使得每一时槽只有一个发送方和一个接收方。自检模块下,时槽长度采用和初始化模式下一样的统一时槽长度。每个模块安排固定的周期时槽,初始配置节点则负责接收所有节点在通信时槽内发送的自检数据。

### 3 总线控制实现

总线系统各节点的控制实现关键是实现时间触发控制,时间触发控制的核心是实现系统时槽分配管理。本文采用可编程逻辑器件FPGA设计一种TDMA时序管理机实现系统各节点的时槽管理,从而控制协调总线系统所有节点的工作,实现不同工作模式下系统多节点的通信管理。

图6是由Verilog-HDL语言设计生产的3个发送节点的TDMA时序管理机原理图。图中U2是轮询控制模块,U3、U5、U7是3个时槽处理模块,U9是节点号配置管理模块。

轮询控制模块U2具备轮询3个模块的功能,该模块有CLK、EN、FG\_EMPTY(2:0)3个输入端口,一个输出端口subtract\_en\_out(2:0);CLK是系统时钟输入端,接PLL输出的GLB;EN使能端,高电平有效,要求初始为低,且低电平需要保持一个时钟周期以上,正常工作过程中需一直保持为高。FG\_EMPTY(2:0)分别代表3个时槽处理模块输出的时槽个数计数器的空满标志信号,高电平代表满,低电平代表空。subtract\_en\_out(2:0)是输出给时槽处理模块的工作使能信号,高电平使能工作,低电平停止工作。

3个时槽处理模块功能完全相同,该模块输入端口有CLK\_PH、CLK\_H、RST、subtract\_len\_en\_in、add\_num、subtract\_len,输出端口有FG\_EMPTY、MODULE\_CTRL\_OUT。subtract\_len\_en\_in是时槽处理模块内部的时槽长度计数模块的使

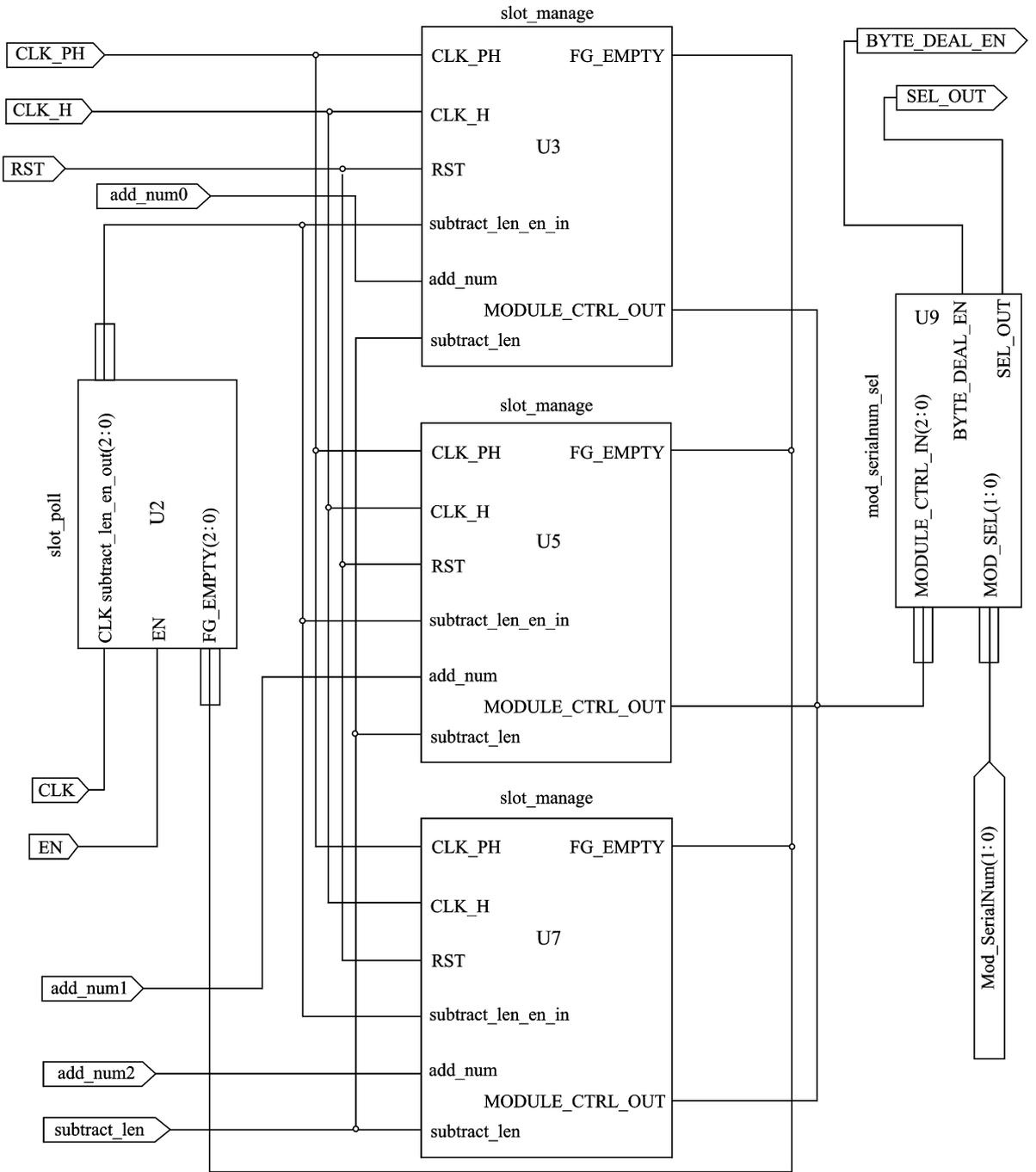


图6 TDMA 时序管理机原理图

能信号;  $add\_num$  是时槽个数计数的加脉冲计数信号;  $subtract\_len$  是时槽长度计数的减脉冲计数信号;  $FG\_EMPTY$  是时槽个数减为 0 时, 输出的空标志信号, 高电平为满, 低电平为空;  $MODULE\_CTRL\_OUT$  是控制模块进行字节传输的使能信号, 高电平使能传输, 低电平禁止传输。

节点号配置管理模块 U9 具备配置为 1 号、2 号、3 号 3 个节点的功能, 该模块输入端口有  $MODULE\_CTRL\_IN(2:0)$  和  $MOD\_SEL(1:0)$ , 输出端口有  $BYTE\_DEAL\_EN$  和  $SEL\_OUT$ 。  $MOD-$

$ULE\_CTRL\_IN(2:0)$  连接 3 个时槽处理模块的字节传输的使能信号  $MODULE\_CTRL\_OUT$ ,  $MOD\_SEL(1:0)$  接节点号寄存器;  $SEL\_OUT$  是根据  $MOD\_SEL$  输入的节点号值, 确定选择与节点号对应的  $MODULE\_CTRL\_OUT$ , 作为输出用于控制启动总线传输的使能信号。  $BYTE\_DEAL\_EN$  是 3 个模块的字节传输的使能信号相或后的输出信号, 用于产生不受节点号控制的启动字节发送控制模块的使能信号, 从而确保所有节点的 TDMA 时序管理机的同步。

TDMA 时序管理机的工作过程如下:在系统时钟 CLK、CLK\_PH、CLK\_H 和复位 RST 信号均稳定正常工作后,TDMA 时序管理机的启动由轮询控制模块 U2 的使能端 EN 控制,当 U2 使能有效后,将以时钟频率依 1—2—3 的顺序,循环检测 U3, U5 和 U7 的时槽个数计数器的空满标志信号 FG\_EMPTY,当轮询到某个节点如 2 号节点时,检测到 U5 的 FG\_EMPTY 为高电平,即代表 U5 非空,有数据需要传输,则轮询器将停止在 2 号节点上,并通过 subtract\_len\_en\_out 端口向与 U5 发送启动时槽处理模块的使能信号。U5 将通过该节点的 MODULE\_CTRL\_OUT 端口,向节点号配置管理模块 U9 发送启动字节发送控制模块的信号。

U9 收到该信号,一方面将判断当前轮询的 2 号节点是否与 U9 中存储的节点号一致,当一致时将启动总线三态控制器,进行总线传输,当不一致时,将不启动总线传输;一方面将直接启动字节发送控制模块,按照字节传输时序产生字节减信号,传送给所有时槽处理模块,只有当前被使能的节点 U5 才能响应字节减命令,执行相应操作。当 U5 内部时槽个数计数器的值,被减到 0 时,表明已传输完毕,则 U5 将清除其 FG\_EMPTY 标志,使其为低电平。轮询模块 U2 一旦检测到该标志为低,则将接着刚才停止轮询的 2 号节点,从 3 号节点开始轮询,如此周而复始,实现周期性 TDMA 时序管理,完成多模块间通信。

TDMA 时序管理机的 Verilog 源程序如下:

```
// TDMA_timing_machine.v 'timescale 100ps/100ps
'define TDMA_timing_machine
module TDMA_timing_machine (CLK,CLK_PH,CLK_H,RST,EN,add_num,subtract_len,MOD_SEL,BYTE_DEAL_EN,SEL_OUT);
input CLK_PH,CLK_H,CLK,RST,EN,subtract_len;input [2:0]add_num;
input [1:0]MOD_SEL; output BYTE_DEAL_EN,SEL_OUT;
wire BYTE_DEAL_EN;wire SEL_OUT; //节点号选择输出
wire MODULE_CTRL_OUT2,MODULE_CTRL_OUT1,MODULE_CTRL_OUT0; //子帧模块控制输出
wire subtract_slot_len_en0,subtract_slot_len_en1,subtract_slot_len_en2;
wire FG_EMPTY2,FG_EMPTY1,FG_EMPTY0;wire [1:0]MOD_SEL;
slot_poll U2 (CLK,{FG_EMPTY2,FG_EMPTY1,FG_EMPTY0},EN,{subtract_slot_len_en2,subtract_slot_len_en1,subtract_slot_len_en0});
defparam U3.U2.slot_len = 100;
slot_manage U3(CLK_PH,CLK_H,RST,subtract_slot_len_en0,add_num[0],subtract_len,FG_EMPTY0,MOD-
```

```
ULE_CTRL_OUT0);
```

```
defparam U5.U2.slot_len = 500;
```

```
slot_manage U5(CLK_PH,CLK_H,RST,subtract_slot_len_en1,add_num[1],subtract_len,FG_EMPTY1,MODULE_CTRL_OUT1);
```

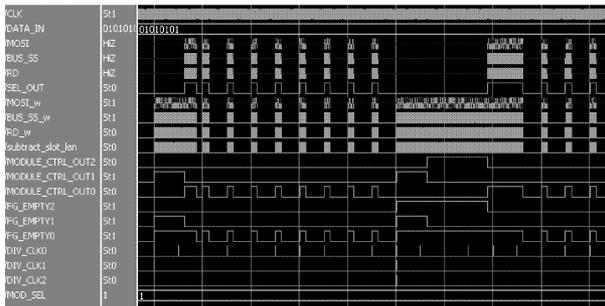
```
defparam U7.U2.slot_len = 1000;
```

```
slot_manage U7(CLK_PH,CLK_H,RST,subtract_slot_len_en2,add_num[2],subtract_len,FG_EMPTY2,MODULE_CTRL_OUT2);
```

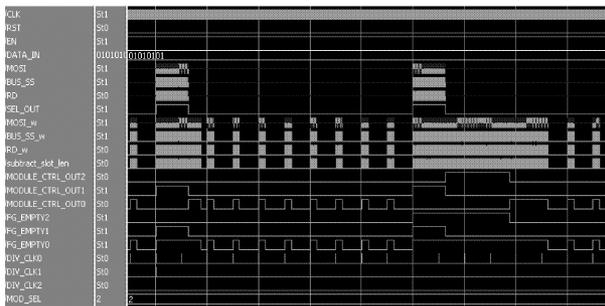
```
mod_serialNum_sel U9 ({MODULE_CTRL_OUT2,MODULE_CTRL_OUT1,MODULE_CTRL_OUT0},MOD_SEL,SEL_OUT,BYTE_DEAL_EN);
endmodule
```

## 4 TDMA 时序管理机的仿真

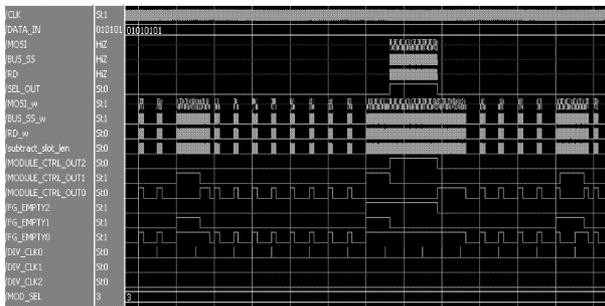
为验证 TDMA 时序管理机的控制运行情况,组建由 3 个发送节点和 2 个接收节点构成的总线系统,进行系统仿真运行。第一发送节点时槽长度 100 B,发送时槽频率 10 kHz,第二个发送节点时槽长度 1 000 B,发送时槽频率 1 kHz,第三个发送节点时槽长度 2 000 B,发送时槽频率 100 Hz,总线数据流总和  $10\text{ kHz} \times 100 \times 10 + 1\text{ kHz} \times 1\,000 \times 10 + 100\text{ Hz} \times 2\,000 \times 10 = 22\text{ MHz}$ 。接收节点接收所有发送节点分时传输到总线的的数据。仿真运行结果如图 7。图 7(a)中,MOD\_SEL 取值是 1,代表该控制节点是 1 号节点。在 1 号节点的输出使能控制信号 MODULE\_CTRL\_OUT0 为高电平期间,1 号节点分得时槽占用总线,进行数据传输。数据传输如 MOSI 信号所示。DIV\_CLK0, DIV\_CLK1, DIV\_CLK2 三个模块的触发信息存在一个三节点的交汇点,在该交汇点处存在多节点同时申请传输现象,本文采用按 1—2—3 依次轮询控制的方法,图中所示交汇点处正好轮询到第 2 节点,因 2 号节点的缓存空满标志信号 FG\_EMPTY1 为高,指示有数据待发,因此,节点 2 将分得总线通信时槽,分得的时槽长度将由 MODULE\_CTRL\_OUT1 决定。第 2 节点时槽结束后,轮询器轮询到 3 号节点,3 号节点 FG\_EMPTY2 信号为高,指示有数据待发,因此也将分得时槽进行传输,时槽长度由 MODULE\_CTRL\_OUT2 决定。在 2 号和 3 号节点分得时槽通信期间,1 号节点将停止总线数据传输, MOSI 一直保持高阻,其待发数据被存入发送缓存中,直到 3 号节点时槽结束,将轮询到 1 号,1 号节点将分得时槽传输数据,此时 1 号节点因需要传输 2、3 两个节点占用总线传输时,1 号节点滞留在缓存中的数据,因此,此时分得的时槽长度控制信号 MODULE\_CTRL\_OUT0 将比非交汇点的长。图 7(b,c)分别是 2 号和 3 号节点的交汇仿真图,控制信号定义与图 7(a)类似。



(a) 1号模块交汇仿真运行图



(b) 2号模块交汇仿真运行图



(c) 3号模块交汇仿真运行图

图7 TDMA 时序管理机模块交汇仿真运行波形图

### 5 试验验证系统组成

图8是根据总线系统验证需要构建的验证测试系统,主要有上位机、初始配置节点及弹上总线测试系统组成。上位机与初始配置节点通过USB总线进行通信,初始配置节点通过精简总线与弹上总线测试系统通信。弹上总线系统主要由3个发送节点、2个接收节点及1个电源时钟模块组成。每个

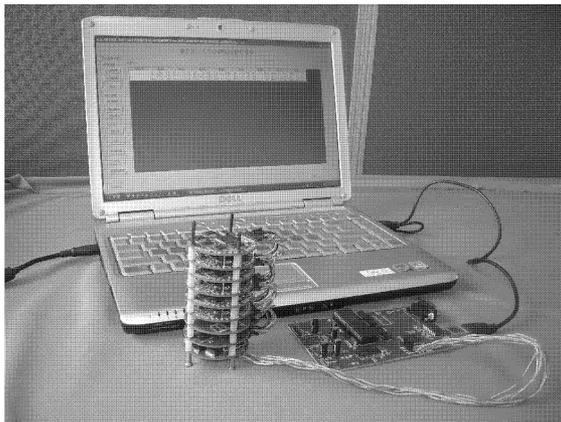


图8 试验验证系统连接调试图

发送节点由1个采编模块与1个模拟信号源模块组合构成,两个接收节点由1个遥测模块和1个存储模块组成。

### 6 结束语

本文设计的精简串行总线技术具有总线协议简单、传输速率高、设计方便等特点,采用该总线方案,有利于在空间严格受限的场合构建通用化、模块化的小型分布式测试系统。仿真结果表明,TDMA 时序管理机很好地实现了系统多节点时槽分配管理功能,采用该时序管理机较好实现了基于时间触发的总线控制方案。此外,根据总线方案构建的小型弹载试验验证系统的验证表明,验证系统很好地实现了预期的总线通信功能。

#### 参考文献:

- [1] Balashov V V, Kostenko V A, Smeliansky R L, et al. A tool system for automatic scheduling of data exchange in real-time distributed embedded systems [C] // International Symposium on Computer Networks. Istanbul: IEEE, 2006: 179-184.
- [2] Gabillon A, Gallon L. Availability constraints for avionic data buses [C] // The First International Conference on Availability. Vienna: IEEE, 2006.
- [3] Radkovsk K, Kaska M, Motycka Z, et al. The design of LVDS bus with high EMC compliance [C] // 17th International Conference on Radioelektronika. Brno: IEEE, 2007: 1-4.
- [4] Chen Mingdeng, Silva-Martinez J, Nix M, et al. Low-voltage low-power LVDS drivers [J]. IEEE Journal of Solid-State Circuits, 2005, 40(2): 472-479.
- [5] Wang Yu, Henning I. A deterministic distributed TDMA scheduling algorithm for wireless sensor networks [C] // International Conference on Wireless Communications, Networking and Mobile Computing. Shanghai: IEEE, 2007: 2759-2762.
- [6] Cionca V, Newe T, Dadarlat V. TDMA protocol requirements for wireless sensor networks [C] // Second International Conference on Sensor Technologies and Applications. Cap Esterel: IEEE, 2008: 30-35.
- [7] Wandeler E, Thiele L. Optimal TDMA time slot and cycle length allocation for hard real-time systems [C] // Asia and South Pacific Conference on Design Automation. [S. l.]: IEEE, 2006.
- [8] Zhang Hongjun, Pawel G. A TDMA scheme with dynamic frame structure [C] // IEEE VTS 54th Vehicular Technology Conference. Atlantic City: IEEE, 2001: 1407-1411.
- [9] 焦莹, 裴海龙. 一种基于TDM的工业串行实时通讯协议 [J]. 自动化技术与应用, 2008, 27(3): 66-68.
- [10] 潘娅, 王牛. 对硬实时时间槽分配问题的EDF算法实现 [J]. 计算机测量与控制, 2003, 11(10): 803-805.